

МЕЖДУНАРОДНАЯ ЗАЯВКА, ОПУБЛИКОВАННАЯ В СООТВЕТСТВИИ  
С ДОГОВОРом О ПАТЕНТНОЙ КООПЕРАЦИИ (РСТ)

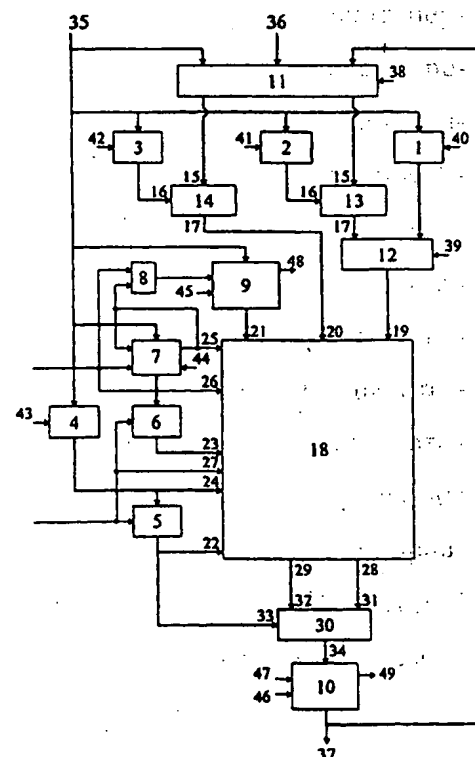
(51) Международная классификация изобретения <sup>6</sup> : G06F 15/18, 17/16, G06T 1/40, G06F 7/38, 7/50, 7/52, 7/544	A1	(11) Номер международной публикации: WO 99/66419 (43) Дата международной публикации: 23 декабря 1999 (23.12.99)
<p>(21) Номер международной заявки: PCT/RU98/00449</p> <p>(22) Дата международной подачи: 31 декабря 1998 (31.12.98)</p> <p>(30) Данные о приоритете: 98110876 16 июня 1998 (16.06.98) RU</p> <p>(71) Заявитель (для всех указанных государств, кроме US): ЗАКРЫТОЕ АКЦИОНЕРНОЕ ОБЩЕСТВО НАУЧНО-ТЕХНИЧЕСКИЙ ЦЕНТР «МОДУЛЬ» [RU/RU]; 125319 Москва, 4-я ул. 8-го Марта, д. 3 (RU) [ZAKRYTOE AKTSIONERNOE OBSHCHESTVO NAUCHNO-TEKHNIЧЕСKY TSENTR «MODULE», Moscow (RU)].</p> <p>(72) Изобретатели; и</p> <p>(75) Изобретатели / Заявители (только для US): ЧЕРНИКОВ Владимир Михайлович [RU/RU]; 109382 Москва, ул. Краснодарская, д. 14; кв. 108 (RU) [CHERNIKOV, Vladimir Mikhailovich, Moscow (RU)]. ВИКСНЕ Павел Евгеньевич [RU/RU]; 111396 Москва, Зелёный пр., д. 64, кв. 148 (RU) [VIKSNE, Pavel Evgenievich, Moscow (RU)]. ФОМИН Дмитрий Викторович [RU/RU]; 115547 Москва, ул. Бирюлёв-</p>		<p>ская, д. 58/3, кв. 1270 (RU) [FOMIN, Dmitry Viktorovich, Moscow (RU)]. ШЕВЧЕНКО Павел Александрович [RU/RU]; 125167 Москва, ул. Планетная, д. 14, кв. 8 (RU) [SHEVCHENKO, Pavel Alexandrovich, Moscow (RU)]. ЯФРАКОВ Михаил Фёдорович [RU/RU]; 123622 Москва, Пятницкое шоссе, д. 42, кв. 64 (RU) [YAFRAKOV, Mikhail Fedorovich, Moscow (RU)].</p> <p>(74) Агент: ЗАКРЫТОЕ АКЦИОНЕРНОЕ ОБЩЕСТВО «ПАТЕНТНЫЙ ПОВЕРЕННЫЙ»; 111250 Москва, ул. Авиамоторная, д. 53, (RU) [ZAKRYTOE AKTSIONERNOE OBSHCHESTVO «PATENT ATTORNEY», Moscow (RU)].</p> <p>(81) Указанные государства: AT, AU, BY, CA, CH, CN, CZ, DE, DK, EE, ES, FI, GB, HU, IL, JP, KR, LT, LU, LV, NO, NZ, PT, RO, SE, SG, TR, UA, US, евразийский патент (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), европейский патент (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Опубликована С отчётом о международном поиске.</p>

(54) Title: NEUROPROCESSEUR, DEVICE FOR CALCULATING SATURATION FUNCTIONS, CALCULATION DEVICE AND ADDER

(54) Название изобретения: НЕЙРОПРОЦЕССОР, УСТРОЙСТВО ДЛЯ ВЫЧИСЛЕНИЯ ФУНКЦИЙ НАСЫЩЕНИЯ, ВЫЧИСЛИТЕЛЬНОЕ УСТРОЙСТВО И СУММАТОР

## (57) Abstract

The present invention, which comprises several aspects, pertains to the field of calculation techniques and may be used for the emulation of neural networks as well as for the digital processing of signals. The length of the results can be modified by programming, thus increasing the yield of the neuroprocessor. The neuroprocessor includes six registers, a shift register, an AND element, two magazine-type memory units, a switch, a multiplexer, two devices for calculating saturation functions, a calculation device as well as an adder for carrying out operations on the vectors of data of the programmable length. The vector of the input operands of the programmable length can be processed simultaneously, thus increasing the yield of the device for calculating saturation functions. This device includes circuits for generating and propagating reports, up to two multiplexers as well as one EXCLUSIVE OR, EQUIVALENCE, AND-NO and EXCEPT element in each position. The functional capacities of the calculation device are further enhanced. The calculation device includes the following members: a delay element; N/2 EXCEPT logic elements; N/2 decipherers of the multiplier positions; an N-position shift register in which each position comprises an EXCEPT element, a multiplexer and a trigger; and a multiplication matrix which comprises N columns for N/2 cells. Each cell includes two triggers, an EXCEPT element, a circuit for generating the position of a partial product, a single-position adder and a multiplexer. Two vectors of the input operands of the programmable length can be simultaneously added, thus increasing the yield of the adder. The adder includes a report generation circuit, up to two EXCEPT elements as well as a semi-adder and an EXCLUSIVE OR element in each position.



Группа изобретений относится к области вычислительной техники и может быть использована для эмуляции нейронных сетей и цифровой обработки сигналов. Повышение производительности нейропроцессора достигается за счет обеспечения возможности программно изменять разрядности результатов. Нейропроцессор содержит шесть регистров, сдвиговый регистр, элемент И, два блока памяти магазинного типа, коммутатор, мультиплексор, два устройства для вычисления функций насыщения, вычислительное устройство и сумматор для выполнения операций над векторами данных программируемой разрядности. Повышение производительности устройства для вычисления функций насыщения обеспечивается за счет возможности одновременной обработки вектора входных операндов программируемой разрядности. Данное устройство содержит схемы формирования и распространения переносов, а также по два мультиплексора и по одному элементу ИСКЛЮЧАЮЩЕЕ ИЛИ, РАВНОЗНАЧНОСТЬ, И-НЕ и ЗАПРЕТ в каждом разряде. Функциональные возможности вычислительного устройства расширены. Вычислительное устройство содержит элемент задержки,  $N/2$  логических элементов ЗАПРЕТ,  $N/2$  дешифраторов разрядов множителя,  $N$ -разрядный сдвиговый регистр, каждый разряд которого состоит из элемента ЗАПРЕТ, мультиплексора и триггера, и матрицу умножения, содержащую  $N$  столбцов по  $N/2$  ячеек, каждая из которых состоит из двух триггеров, элемента ЗАПРЕТ, схемы формирования разряда частичного произведения, одноразрядного сумматора и мультиплексора. Повышение производительности сумматора достигается за счет возможности сложения двух векторов входных операндов программируемой разрядности. Сумматор содержит схему формирования переносов, а также по два элемента ЗАПРЕТ и по одному полусумматору и элементу ИСКЛЮЧАЮЩЕЕ ИЛИ в каждом разряде.

### ИСКЛЮЧИТЕЛЬНО ДЛЯ ЦЕЛЕЙ ИНФОРМАЦИИ

Коды, используемые для обозначения стран-членов РСТ на титульных листах брошюр, в которых публикуются международные заявки в соответствии с РСТ.

AL	Албания	GE	Грузия	MR	Мавритания
AM	Армения	GH	Гана	MW	Малави
AT	Австрия	GN	Гвинея	MX	Мексика
AU	Австралия	GR	Греция	NE	Нигер
AZ	Азербайджан	HU	Венгрия	NL	Нидерланды
BA	Босния и Герцеговина	IE	Ирландия	NO	Норвегия
BB	Барбадос	IL	Израиль	NZ	Новая Зеландия
BE	Бельгия	IS	Исландия	PL	Польша
BF	Буркина-Фасо	IT	Италия	PT	Португалия
BG	Болгария	JP	Япония	RO	Румыния
BJ	Бенин	KE	Кения	RU	Российская Федерация
BR	Бразилия	KG	Киргизстан	SD	Судан
BY	Беларусь	KP	Корейская Народно-Демократическая Республика	SE	Швеция
CA	Канада	KR	Республика Корея	SG	Сингапур
CF	Центрально-Африканская Республика	KZ	Казахстан	SI	Словения
CG	Конго	LC	Сент-Люсия	SK	Словакия
CH	Швейцария	LI	Лихтенштейн	SN	Сенегал
CI	Кот-д'Ивуар	LK	Шри-Ланка	SZ	Свазиленд
CM	Камерун	LR	Либерия	TD	Чад
CN	Китай	LS	Лесото	TG	Того
CU	Куба	LT	Литва	TJ	Таджикистан
CZ	Чешская Республика	LU	Люксембург	TM	Туркменистан
DE	Германия	LV	Латвия	TR	Турция
DK	Дания	MC	Монако	TT	Тринидад и Тобаго
EE	Эстония	MD	Республика Молдова	UA	Украина
ES	Испания	MG	Мадагаскар	UG	Уганда
FI	Финляндия	MK	Бывшая югославская Республика Македония	US	Соединенные Штаты Америки
FR	Франция	ML	Мали	UZ	Узбекистан
GA	Габон	MN	Монголия	VN	Вьетнам
GB	Великобритания			YU	Югославия
				ZW	Зимбабве

**Нейропроцессор, устройство для вычисления функций насыщения,  
вычислительное устройство и сумматор.**

**ОБЛАСТЬ ТЕХНИКИ.**

Группа изобретений относится к области вычислительной техники и может  
5 быть использована для эмуляции нейронных сетей и цифровой обработки сигналов в реальном масштабе времени.

**ПРЕДШЕСТВУЮЩИЙ УРОВЕНЬ ТЕХНИКИ.**

Известен нейропроцессор [Основные направления разработки аппаратных  
средств реализации нейросетевых алгоритмов / Иванов Ю.П. и др. (Тезисы докладов  
10 Второй Всероссийской конференции "Нейрокомпьютеры и их применение", Москва,  
14.02.1996) // Нейрокомпьютер. - 1996. - №1,2. - С.47-49], содержащий регистр вход-  
ных данных и четыре нейронных узла, каждый из которых состоит из сдвигового ре-  
гистра, регистра весовых коэффициентов, восьми умножителей, схемы многоопе-  
рандного сложения и блока для вычисления пороговой функции.

15 Такой нейропроцессор в каждом такте выполняет взвешенное суммирование  
фиксированного числа входных данных для фиксированного числа нейронов незави-  
симо от реального диапазона значений входных данных и их весовых коэффициентов.  
При этом каждое входное данное, так же как и каждый весовой коэффициент, пред-  
ставляется в виде операнда фиксированной разрядности, определяемой разрядностью  
20 аппаратных узлов нейропроцессора.

Наиболее близким является нейропроцессор [US, № 5278945, кл. 395/27, 1994],  
содержащий три регистра, мультиплексор, блок памяти магазинного типа, операци-  
онное устройство для вычисления скалярного произведения двух векторов данных  
программируемой разрядности с прибавлением накапливаемого результата и устрой-  
25 ства для вычисления нелинейной функции.

На входы такого нейропроцессора подаются вектора входных данных и векто-  
ра их весовых коэффициентов. В каждом такте нейропроцессор выполняет взвешен-  
ное суммирование нескольких входных данных для одного нейрона путем вычисле-  
ния скалярного произведения вектора входных данных на вектор весовых коэффици-  
30 ентов. Причем нейропроцессор поддерживает обработку векторов, разрядность от-  
дельных составляющих которых может быть программно выбрана из ряда фиксиро-

ванных значений. С уменьшением разрядности отдельных входных данных и весовых коэффициентов увеличивается их количество в каждом векторе и тем самым повышается производительность нейропроцессора. Однако, разрядность получаемых результатов фиксирована и определяется разрядностью аппаратных узлов нейропроцессора.

5 Известно цифровое устройство ограничения числа по модулю [SU, № 690477, кл. G 06 F 7/38, 1979], содержащее три регистра, сумматор, два преобразователя кодов, два блока анализа знаков, блок коррекции, две группы элементов И и группу элементов ИЛИ. Такое устройство позволяет за  $2N$  тактов вычислять функции насыщения для вектора из  $N$  входных операндов.

10 Наиболее близким является устройство для вычисления функций насыщения [US, № 5644519, кл. 364/736.02, 1997], содержащее мультиплексор, компаратор и два индикатора насыщения. Такое устройство позволяет за  $N$  тактов вычислять функции насыщения для вектора из  $N$  входных операндов.

15 Известно вычислительное устройство [US, № 5278945, кл. 395/27, 1994], содержащее умножители, сумматоры, регистры, мультиплексор и блок памяти магазинного типа. Данное устройство позволяет за один такт вычислить скалярное произведение двух векторов, каждый из которых содержит по  $M$  операндов, и за  $N$  тактов выполнить умножение матрицы, содержащей  $N \times M$  операндов, на вектор, состоящий из  $M$  операндов.

20 Наиболее близким является вычислительное устройство [US, № 4825401, кл. 364/760, 1989], содержащее  $3N/2$  логических элементов И,  $N/2$  дешифраторов разрядов множителя по алгоритму Бута, матрицу умножения из  $N$  столбцов по  $N/2$  ячеек, каждая из которых состоит из схемы формирования разряда частичного произведения по алгоритму Бута и одноразрядного сумматора,  $2N$ -разрядный сумматор,  $N/2$  мультиплексоров,  $N/2$  дополнительных схем формирования разряда частичного произведения по алгоритму Бута и  $N/2$  логических элементов импликации. Данное устройство позволяет за один такт перемножить два  $N$ -разрядных операнда или перемножить поэлементно два вектора, каждый из которых содержит по два  $(N/2)$ -разрядных операнда.

30 Известно устройство для сложения векторов операндов программируемой разрядности [US, № 5047975, кл. 364/786, 1991], содержащее сумматоры и логические элементы ЗАПРЕТ.

Наиболее близким является сумматор [US, № 4675837, кл. 364/788, 1987], содержащий схему формирования переносов и в каждом своем разряде - полусумматор и логический элемент ИСКЛЮЧАЮЩЕЕ ИЛИ. Данный сумматор позволяет за N тактов выполнить сложение двух векторов, состоящих из N операндов каждый.

#### РАСКРЫТИЕ ИЗОБРЕТЕНИЯ.

Нейропроцессор содержит первый, второй, третий, четвертый, пятый и шестой регистры, сдвиговый регистр, логический элемент И, первый и второй блоки памяти магазинного типа, первое и второе устройства для вычисления функций насыщения, вычислительное устройство, имеющее входы разрядов вектора первых операндов, входы разрядов вектора вторых операндов, входы разрядов вектора третьих операндов, входы установки границ данных в векторах первых операндов и результатов, входы установки границ данных в векторах вторых операндов, входы установки границ данных в векторах третьих операндов, первый и второй входы управления загрузкой векторов третьих операндов в первый блок памяти, вход управления пересылкой матрицы третьих операндов из первого блока памяти во второй блок памяти и выходы разрядов вектора первых и вектора вторых слагаемых результатов операции сложения вектора первых операндов с произведением вектора вторых операндов на матрицу третьих операндов, хранящуюся во втором блоке памяти, сумматор, коммутатор с трех направлений в два и мультиплексор, причем первые информационные входы разрядов коммутатора с трех направлений в два, информационные входы первого блока памяти магазинного типа, первого, второго, третьего и четвертого регистров и параллельные информационные входы сдвигового регистра поразрядно объединены и подключены к соответствующим разрядам первой входной шины нейропроцессора, каждый разряд второй входной шины которого соединен с вторым информационным входом соответствующего разряда коммутатора с трех направлений в два, первый выход каждого разряда которого соединен с входом соответствующего разряда вектора входных операндов первого устройства для вычисления функций насыщения, управляющий вход каждого разряда которого соединен с выходом соответствующего разряда второго регистра, второй выход каждого разряда коммутатора с трех направлений в два соединен с входом соответствующего разряда вектора входных операндов второго устройства для вычисления функций насыщения, управляющий вход каждого разряда которого соединен с выходом соответствующего разряда третьего регистра, выход каждого разряда первого регистра соединен с первым ин-

формационным входом соответствующего разряда мультиплексора, второй информационный вход каждого разряда которого соединен с выходом соответствующего разряда вектора результатов первого устройства для вычисления функций насыщения, выход каждого разряда мультиплексора соединен с входом соответствующего разряда вектора первых операндов вычислительного устройства, вход каждого разряда вектора вторых операндов которого соединен с выходом соответствующего разряда вектора результатов второго устройства для вычисления функций насыщения, информационные выходы первого блока памяти магазинного типа соединены с входами соответствующих разрядов вектора третьих операндов вычислительного устройства, выход каждого разряда вектора первых слагаемых результатов операции сложения вектора первых операндов с произведением вектора вторых операндов на матрицу третьих операндов, хранящуюся во втором блоке памяти, которого соединен с входом соответствующего разряда вектора первых слагаемых сумматора, вход каждого разряда вектора вторых слагаемых которого соединен с выходом соответствующего разряда вектора вторых слагаемых результатов операции сложения вектора первых операндов с произведением вектора вторых операндов на матрицу третьих операндов, хранящуюся во втором блоке памяти, вычислительного устройства, каждый вход установки границ данных в векторах первых операндов и результатов которого соединен с выходом соответствующего разряда пятого регистра и с соответствующим входом установки границ данных в векторах слагаемых и сумм сумматора, выход каждого разряда вектора сумм которого соединен с соответствующим информационным входом второго блока памяти магазинного типа, каждый информационный выход которого подключен к соответствующему разряду выходной шины нейропроцессора и соединен с третьим входом соответствующего разряда коммутатора с трех направлений в два, выход каждого разряда четвертого регистра соединен с информационным входом соответствующего разряда пятого регистра и соответствующим входом установки границ данных в векторах третьих операндов вычислительного устройства, каждый вход установки границ данных в векторах вторых операндов которого соединен с выходом соответствующего разряда шестого регистра, информационный вход каждого разряда которого соединен с выходом соответствующего разряда сдвигового регистра, последовательные информационные вход и выход которого объединены и подключены к первому входу управления загрузкой векторов третьих операндов в первый блок памяти вычислительного устройства и к первому входу элемента И, выход которого со-

единен с входом управления чтением первого блока памяти магазинного типа, второй вход элемента И, вход управления сдвигом сдвигового регистра и второй вход управления загрузкой векторов третьих операндов в первый блок памяти вычислительного устройства объединены и подключены к соответствующему управляющему входу нейтропроцессора, вход управления пересылкой матрицы третьих операндов из первого блока памяти во второй блок памяти вычислительного устройства и входы управления пятого и шестого регистров объединены и подключены к соответствующему управляющему входу нейтропроцессора, управляющие входы коммутатора с трех направлений в два, мультиплексора, первого, второго, третьего и четвертого регистров, входы управления записью сдвигового регистра и первого блока памяти магазинного типа и входы управления чтением и записью второго блока памяти магазинного типа являются соответствующими управляющими входами нейтропроцессора, выходы состояния первого и второго блоков памяти магазинного типа являются выходами состояния нейтропроцессора.

В нейтропроцессоре может применяться вычислительное устройство, содержащее сдвиговый регистр, выполняющий за один такт арифметический сдвиг всех операндов хранящегося в нем  $N$ -разрядного вектора на  $J$  разрядов влево, где  $J$  - минимальная величина, которой кратны разрядности данных в векторах вторых операндов вычислительного устройства, элемент задержки, первый блок памяти, имеющий порт ввода магазинного типа и содержащий  $N/J$  ячеек для хранения  $N$ -разрядных данных, второй блок памяти, содержащий  $N/J$  ячеек для хранения  $N$ -разрядных данных,  $N/J$  блоков умножения, каждый из которых умножает  $N$ -разрядный вектор данных программируемой разрядности на  $J$ -разрядный множитель, и схему сложения векторов, формирующую двухрядный код суммы  $N/J+1$  векторов данных программируемой разрядности, причем входы разрядов вектора третьих операндов вычислительного устройства подключены к информационным входам сдвигового регистра, выходы которого соединены с информационными входами первого блока памяти, выходы каждой ячейки которого соединены с информационными входами соответствующей ячейки второго блока памяти, выходы каждой ячейки которого соединены с входами разрядов вектора множимых соответствующего блока умножения, входы разрядов множителя которого подключены к входам соответствующей  $J$ -разрядной группы разрядов вектора вторых операндов вычислительного устройства, выходы каждого блока умножения соединены с входами разрядов соответствующего вектора слагаемых схемы

сложения векторов, входы разрядов  $(N/J+1)$ -го вектора слагаемых которой подключены к входам разрядов вектора первых операндов вычислительного устройства, входы установки границ данных в векторах третьих операндов которого подключены к соответствующим входам установки границ данных в векторах операндов сдвигового регистра, вход режима работы которого подключен к первому входу управления загрузкой векторов третьих операндов в первый блок памяти вычислительного устройства, второй вход управления загрузкой векторов третьих операндов в первый блок памяти которого подключен к тактовому входу сдвигового регистра и входу элемента задержки, выход которого соединен с входом управления записью первого блока памяти, вход управления записью второго блока памяти подключен к входу управления пересылкой матрицы третьих операндов из первого блока памяти во второй блок памяти вычислительного устройства, каждый вход установки границ данных в векторах вторых операндов которого подключен к входу знаковой коррекции соответствующего блока умножения, входы установки границ данных в векторах первых операндов и результатов вычислительного устройства подключены к входам установки границ данных в векторах множимых и результатов каждого блока умножения и к входам установки границ данных в векторах слагаемых и результатов схемы сложения векторов, выходы разрядов векторов первых и вторых слагаемых результатов которой являются соответствующими выходами вычислительного устройства.

В описанном выше нейпроцессоре каждое из устройств для вычисления функций насыщения может содержать регистр входных данных, информационные входы которого являются входами соответствующих разрядов вектора входных операндов этого устройства, вычислительное устройство может содержать регистр входных данных, информационные входы которого являются входами соответствующих разрядов векторов первых и вторых операндов вычислительного устройства, сумматор может содержать регистр входных данных, информационные входы которого являются соответствующими входами сумматора.

Устройство для вычисления функций насыщения содержит схему распространения переносов и схему формирования переносов, а каждый из  $N$  разрядов устройства содержит первый и второй мультиплексоры и логические элементы ИСКЛЮЧАЮЩЕЕ ИЛИ, РАВНОЗНАЧНОСТЬ, И-НЕ и ЗАПРЕТ, причем вторые информационные входы первого и второго мультиплексоров и первый вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ каждого разряда устройства объединены и подключены к входу со-



ответствующего разряда вектора входных операндов устройства, выход каждого разряда вектора результатов которого подключен к выходу первого мультиплексора соответствующего разряда устройства, прямой вход элемента ЗАПРЕТ и первые входы элементов И-НЕ и РАВНОЗНАЧНОСТЬ каждого разряда устройства объединены и  
5 подключены к соответствующему управляющему входу устройства, первый вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ и прямой вход элемента ЗАПРЕТ q-го разряда устройства соединены соответственно с вторым входом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ и инверсным входом элемента ЗАПРЕТ (q-1)-го разряда устройства, первый информационный вход второго мультиплексора которого соединен с выходом переноса в (N-q+2)-й разряд схемы распространения переносов (где  $q=2,3,\dots,N$ ), выход элемента И-НЕ n-го разряда устройства соединен с входом распространения переноса через (N-n+1)-й разряд схемы формирования переносов, выход переноса в (N-n+2)-й разряд которой соединен с управляющим входом первого мультиплексора n-го разряда устройства, выход элемента ЗАПРЕТ которого соединен с управляющим входом второго  
15 мультиплексора этого же разряда устройства, входом генерации переноса в (N-n+1)-м разряде схемы формирования переносов и инверсным входом распространения переноса через (N-n+1)-й разряд схемы распространения переносов, вход переноса из (N-n+1)-го разряда которой соединен с выходом второго мультиплексора n-го разряда устройства (где  $n=1,2,\dots,N$ ), входы начальных переносов схемы распространения переносов и схемы формирования переносов, второй вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, инверсный вход элемента ЗАПРЕТ и первый информационный вход второго мультиплексора N-го разряда устройства объединены и подключены к шине логического нуля, а в каждом разряде устройства выход второго мультиплексора соединен с вторым входом элемента РАВНОЗНАЧНОСТЬ, выход которого соединен с первым  
20 информационным входом первого мультиплексора, а выход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ соединен с вторым входом элемента И-НЕ этого же разряда устройства.

В частных случаях применения устройства для вычисления функций насыщения, когда предъявляются жесткие требования по минимизации аппаратных затрат, в  
30 схеме распространения переносов выход переноса в q-й разряд соединен с входом переноса из (q-1)-го разряда (где  $q=2,3,\dots,N$ ), а схема формирования переносов содержит по N логических элементов И и ИЛИ, причем каждый вход распространения переноса через соответствующий разряд схемы формирования переносов подключен к первому

5 входу соответствующего элемента И, выход которого соединен с первым входом соответствующего элемента ИЛИ, второй вход и выход которого подключены соответственно к входу генерации переноса в соответствующем разряде схемы формирования переносов и выходу переноса в этот же разряд схемы формирования переносов, второй вход первого элемента И является входом начального переноса схемы формирования переносов, второй вход  $q$ -го элемента И соединен с выходом  $(q-1)$ -го элемента ИЛИ (где  $q=2,3,\dots,N$ ).

Вычислительное устройство содержит  $N/2$  дешифраторов разрядов множителя,  $N/2$  логических элементов ЗАПРЕТ, элемент задержки,  $N$ -разрядный сдвиговый регистр, каждый разряд которого состоит из логического элемента ЗАПРЕТ, мультиплексора и триггера, и матрицу умножения из  $N$  столбцов по  $N/2$  ячеек, каждая из которых состоит из логического элемента ЗАПРЕТ, схемы формирования разряда частичного произведения, одноразрядного сумматора, мультиплексора, первого и второго триггеров, выполняющих функции ячеек памяти соответственно первого и второго блоков памяти устройства, причем вход каждого разряда вектора первых операндов устройства подключен к второму входу одноразрядного сумматора первой ячейки соответствующего столбца матрицы умножения, первый вход одноразрядного сумматора каждой ячейки которой соединен с выходом схемы формирования разряда частичного произведения этой же ячейки матрицы умножения, управляющие входы мультиплексоров и инверсные входы элементов ЗАПРЕТ всех ячеек каждого столбца которой объединены и подключены к соответствующему входу установки границ данных в векторах первых операндов и результатов устройства, каждый вход установки границ данных в векторах вторых операндов которого подключен к инверсному входу соответствующего элемента ЗАПРЕТ, выход которого соединен с первым входом соответствующего дешифратора разрядов множителя, соответствующие управляющие входы схем формирования разряда частичного произведения  $i$ -х ячеек всех столбцов матрицы умножения объединены и подключены к соответствующим выходам  $i$ -го дешифратора разрядов множителя, второй и третий входы которого подключены к входам соответственно  $(2i-1)$ -го и  $(2i)$ -го разрядов вектора вторых операндов устройства (где  $i=1,2,\dots,N/2$ ), прямой вход  $j$ -го элемента ЗАПРЕТ соединен с третьим входом  $(j-1)$ -го дешифратора разрядов множителя (где  $j=2,3,\dots,N/2$ ), вход каждого разряда вектора третьих операндов устройства подключен к второму информационному входу мультиплексора соответствующего разряда сдвигового регистра, первый информаци-

онный вход которого соединен с выходом элемента ЗАПРЕТ этого же разряда сдвигового регистра, первый инверсный вход которого подключен к соответствующему входу установки границ данных в векторах третьих операндов устройства, второй инверсный вход элемента ЗАПРЕТ  $q$ -го разряда сдвигового регистра соединен с первым инверсным входом элемента ЗАПРЕТ  $(q-1)$ -го разряда сдвигового регистра (где  $q=2,3,\dots,N$ ), прямой вход элемента ЗАПРЕТ  $r$ -го разряда сдвигового регистра соединен с выходом триггера  $(r-2)$ -го разряда сдвигового регистра (где  $r=3,4,\dots,N$ ), управляющие входы мультиплексоров всех разрядов сдвигового регистра объединены и подключены к первому входу управления загрузкой векторов третьих операндов в первый блок памяти устройства, входы синхронизации триггеров всех разрядов сдвигового регистра и вход элемента задержки объединены и подключены к второму входу управления загрузкой векторов третьих операндов в первый блок памяти устройства, выход мультиплексора каждого разряда сдвигового регистра соединен с информационным входом триггера этого же разряда сдвигового регистра, выход которого соединен с информационным входом первого триггера последней ячейки соответствующего столбца матрицы умножения, выход первого триггера  $j$ -й ячейки каждого столбца матрицы умножения соединен с информационным входом первого триггера  $(j-1)$ -й ячейки этого же столбца матрицы умножения (где  $j=2,3,\dots,N/2$ ), входы синхронизации первых триггеров всех ячеек матрицы умножения объединены и подключены к выходу элемента задержки, входы синхронизации вторых триггеров всех ячеек матрицы умножения объединены и подключены к входу управления пересылкой матрицы третьих операндов из первого блока памяти во второй блок памяти устройства, второй информационный вход схемы формирования разряда частичного произведения  $i$ -й ячейки  $q$ -го столбца матрицы умножения соединен с выходом элемента ЗАПРЕТ  $i$ -й ячейки  $(q-1)$ -го столбца матрицы умножения (где  $i=1,2,\dots,N/2$  и  $q=2,3,\dots,N$ ), второй вход одноразрядного сумматора  $j$ -й ячейки каждого столбца матрицы умножения соединен с выходом суммы одноразрядного сумматора  $(j-1)$ -й ячейки этого же столбца матрицы умножения (где  $j=2,3,\dots,N/2$ ), третий вход одноразрядного сумматора  $j$ -й ячейки  $q$ -го столбца матрицы умножения соединен с выходом мультиплексора  $(j-1)$ -й ячейки  $(q-1)$ -го столбца матрицы умножения (где  $j=2,3,\dots,N/2$  и  $q=2,3,\dots,N$ ), третий вход одноразрядного сумматора  $j$ -й ячейки первого столбца матрицы умножения соединен с третьим выходом  $(j-1)$ -го дешифратора разрядов множителя (где  $j=2,3,\dots,N/2$ ), выход суммы одноразрядного сумматора последней ячейки каждого

столбца матрицы умножения является выходом соответствующего разряда вектора  
первых слагаемых результатов устройства, выход мультиплексора последней ячейки  
( $q-1$ )-го столбца матрицы умножения является выходом  $q$ -го разряда вектора вторых  
слагаемых результатов устройства (где  $q=2,3,\dots,N$ ), первый разряд вектора вторых  
5 слагаемых результатов которого подключен к третьему выходу ( $N/2$ )-го дешифратора  
разрядов множителя, второй инверсный и прямой входы элемента ЗАПРЕТ первого  
разряда и прямой вход элемента ЗАПРЕТ второго разряда сдвигового регистра, вто-  
рые информационные входы схем формирования разряда частичного произведения  
всех ячеек первого столбца матрицы умножения, третьи входы одноразрядных сумма-  
10 торов первых ячеек всех столбцов матрицы умножения и прямой вход первого эле-  
мента ЗАПРЕТ объединены и подключены к шине логического нуля, а в каждой  
ячейке матрицы умножения выход первого триггера соединен с информационным  
входом второго триггера, выход которого соединен с прямым входом элемента ЗА-  
ПРЕТ и первым информационным входом схемы формирования разряда частичного  
15 произведения, третий управляющий вход которой соединен с вторым информацион-  
ным входом мультиплексора, первый информационный вход которого соединен с  
выходом переноса одноразрядного сумматора этой же ячейки матрицы умножения.

Сумматор содержит схему формирования переносов, а в каждом из  $N$  своих  
разрядов – полусумматор, логический элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, первый и  
20 второй логические элементы ЗАПРЕТ, причем вход каждого разряда вектора первых  
слагаемых сумматора и вход соответствующего разряда вектора вторых слагаемых  
сумматора подключены соответственно к первому и второму входам полусумматора  
соответствующего разряда сумматора, инверсные входы первого и второго элементов  
ЗАПРЕТ каждого разряда сумматора объединены и подключены к соответствующему  
25 входу установки границ данных в векторах слагаемых и сумм сумматора, выход эле-  
мента ИСКЛЮЧАЮЩЕЕ ИЛИ каждого разряда которого является выходом соответ-  
ствующего разряда вектора сумм сумматора, выход первого элемента ЗАПРЕТ каждо-  
го разряда сумматора соединен с входом распространения переноса через соответст-  
вующий разряд схемы формирования переносов, вход генерации переноса в каждом  
30 разряде которой соединен с выходом второго элемента ЗАПРЕТ соответствующего  
разряда сумматора, второй вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ  $q$ -го разряда сум-  
матора соединен с выходом переноса в  $q$ -й разряд схемы формирования переносов  
(где  $q=2,3,\dots,N$ ), вход начального переноса которой и второй вход элемента ИСКЛЮ-

ЧАЮЩЕЕ ИЛИ первого разряда сумматора подключены к шине логического нуля, а в каждом разряде сумматора выход суммы полусумматора соединен с первым входом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ и прямым входом первого элемента ЗАПРЕТ, а выход переноса полусумматора соединен с прямым входом второго элемента ЗА-  
5 ПРЕТ этого же разряда сумматора.

### КРАТКОЕ ОПИСАНИЕ ФИГУР ЧЕРТЕЖЕЙ.

На фиг.1 приведена блок-схема нейропроцессора, на фиг.2 - общий вид функций насыщения, формируемых устройствами для вычисления функций насыщения, на  
10 фиг.3 - модель слоя нейронной сети, эмулируемой нейропроцессором, на фиг.4 - блок-схема вычислительного устройства, на фиг.5 - схема устройства для вычисления функций насыщения векторов данных программируемой разрядности, на фиг.6 - схема формирования переносов, которая может применяться в устройстве для вычисления функций насыщения, на фиг.7 - схема вычислительного устройства, на фиг.8 -  
15 примеры схмотехнической реализации дешифратора разрядов множителя и схемы формирования разряда частичного произведения по алгоритму Бута, применяемых в вычислительном устройстве, на фиг.9 - схема сумматора векторов данных программируемой разрядности.

Нейропроцессор, блок-схема которого представлена на фиг.1, содержит пер-  
20 вый 1, второй 2, третий 3, четвертый 4, пятый 5 и шестой 6 регистры, сдвиговый регистр 7, логический элемент И 8, первый 9 и второй 10 блоки памяти магазинного типа, коммутатор с трех направлений в два 11, мультиплексор 12, первое 13 и второе 14 устройства для вычисления функций насыщения, каждое из которых имеет входы разрядов вектора входных операндов 15, управляющие входы 16 и выходы разрядов  
25 вектора результатов 17, вычислительное устройство 18, имеющее входы разрядов вектора первых 19, вектора вторых 20 и вектора третьих 21 операндов, входы установки границ данных в векторах первых операндов и результатов 22, в векторах вторых операндов 23 и векторах третьих операндов 24, первый 25 и второй 26 входы управления загрузкой векторов третьих операндов в первый блок памяти, вход управ-  
30 ления пересылкой матрицы третьих операндов из первого блока памяти во второй блок памяти 27 и выходы разрядов вектора первых 28 и вектора вторых 29 слагаемых результатов операции сложения вектора первых операндов с произведением вектора вторых операндов на матрицу третьих операндов, хранящуюся во втором блоке памя-

ти, и сумматор 30, имеющий входы разрядов вектора первых 31 и вектора вторых 32 слагаемых, входы установки границ данных в векторах слагаемых и сумм 33 и выходы разрядов вектора сумм 34. Нейропроцессор имеет первую 35 и вторую 36 входные шины и выходную шину 37. Управляющие входы 38 коммутатора с трех направлений в два 11, управляющий вход 39 мультиплексора 12, управляющий вход 40 первого регистра 1, управляющий вход 41 второго регистра 2, управляющий вход 42 третьего регистра 3, управляющий вход 43 четвертого регистра 4, вход управления записью 44 сдвигового регистра 7, вход управления записью 45 первого блока памяти магазинного типа 9, входы управления записью 46 и чтением 47 второго блока памяти магазинного типа 10 и указанные выше управляющие входы 26 и 27 вычислительного устройства 18 являются соответствующими управляющими входами нейропроцессора. Выходы состояния 48 первого блока памяти магазинного типа 9 и выходы состояния 49 второго блока памяти магазинного типа 10 являются выходами состояния нейропроцессора.

На фиг.2 представлен общий вид функций насыщения, реализуемых нейропроцессором.

На фиг.3 представлена модель слоя нейронной сети, реализуемой предлагаемым нейропроцессором.

На фиг.4 приведена блок-схема одной из возможных реализаций вычислительного устройства 18 для выполнения операций над векторами данных программируемой разрядности, содержащего сдвиговый регистр 50, выполняющий за один такт арифметический сдвиг всех операндов хранящегося в нем N-разрядного вектора на J разрядов влево, где J - минимальная величина, которой кратны разрядности данных в векторах вторых операндов вычислительного устройства 18, элемент задержки 51, первый блок памяти 52, имеющий порт ввода магазинного типа и содержащий N/J ячеек для хранения N-разрядных данных, второй блок памяти 53, содержащий N/J ячеек для хранения N-разрядных данных, N/J блоков умножения 54, каждый из которых умножает N-разрядный вектор данных программируемой разрядности на J-разрядный множитель, и схему сложения векторов 55, формирующую двухрядный код суммы N/J+1 векторов данных программируемой разрядности.

Устройство для вычисления функций насыщения, схема которого представлена на фиг.5, имеет входы разрядов вектора входных операндов 15, управляющие входы 16 и выходы разрядов вектора результатов 17. Каждый из N разрядов 56 данного

устройства содержит первый 57 и второй 58 мультиплексоры, логические элементы ИСКЛЮЧАЮЩЕЕ ИЛИ 59, РАВНОЗНАЧНОСТЬ 60, И-НЕ 61 и ЗАПРЕТ 62. В состав устройства входят также схема распространения переносов 63, имеющая вход начального переноса 64, инверсные входы распространения переноса через отдельные разряды 65, входы переноса из отдельных разрядов 66 и выходы переноса в отдельные разряды 67, и схема формирования переносов 68, имеющая вход начального переноса 69, входы распространения переноса через отдельные разряды 70, входы генерации переноса в отдельных разрядах 71 и выходы переноса в отдельные разряды 72.

В качестве схем 63 и 68 в устройстве для вычисления функций насыщения могут использоваться различные схемы распространения и формирования переносов, применяемые в параллельных сумматорах.

В простейшем варианте схемы распространения переносов 63 выход переноса в  $q$ -й разряд 67 соединяется с входом переноса из  $(q-1)$ -го разряда 66 (где  $q=2,3,\dots,N$ ).

На фиг.6 приведена простейшая схема формирования переносов, содержащая по  $N$  логических элементов И 73 и ИЛИ 74. Каждый вход распространения переноса через соответствующий разряд 70 схемы подключен к первому входу соответствующего элемента И 73, выход которого соединен с первым входом соответствующего элемента ИЛИ 74, второй вход и выход которого подключены соответственно к входу генерации переноса в соответствующем разряде 71 и выходу переноса в этот же разряд 72 схемы. Второй вход первого элемента И 73 является входом начального переноса 69 схемы, а второй вход  $q$ -го элемента И 73 соединен с выходом  $(q-1)$ -го элемента ИЛИ 74 (где  $q=2,3,\dots,N$ ).

Вычислительное устройство, схема которого представлена на фиг.7, имеет входы разрядов вектора первых 19, вектора вторых 20 и вектора третьих 21 операндов, входы установки границ данных в векторах первых операндов и результатов 22, в векторах вторых операндов 23 и в векторах третьих операндов 24, первый 25 и второй 26 входы управления загрузкой векторов третьих операндов в первый блок памяти, вход управления пересылкой матрицы третьих операндов из первого блока памяти во второй блок памяти 27 и выходы разрядов векторов первых слагаемых результатов 28 и векторов вторых слагаемых результатов 29. Данное устройство содержит сдвиговый регистр 50, элемент задержки 51,  $N/2$  логических элементов ЗАПРЕТ 75,  $N/2$  дешифраторов разрядов множителя 76, матрицу умножения 77 из  $N$  столбцов по  $N/2$  ячеек в каждом. Каждый разряд сдвигового регистра 50 содержит логический элемент ЗА-

ПРЕТ 78, мультиплексор 79 и триггер 80. Каждая ячейка матрицы умножения 77 содержит первый 81 и второй 82 триггеры, выполняющие функции ячеек памяти соответственно первого и второго блоков памяти устройства, логический элемент ЗАПРЕТ 83, схему формирования разряда частичного произведения 84, одноразрядный сумматор 85 и мультиплексор 86. Причем на фиг.7 нумерация столбцов ячеек матрицы умножения 77 выполнена справа налево, а нумерация ячеек в столбцах ячеек матрицы умножения 77 - сверху вниз.

На фиг.8 приведены примеры схемотехнической реализации дешифратора разрядов множителя 76 и схемы формирования разряда частичного произведения 84 в соответствии с модифицированным алгоритмом Бута. Дешифратор разрядов множителя 76 содержит логические элементы ИСКЛЮЧАЮЩЕЕ ИЛИ 87, РАВНОЗНАЧНОСТЬ 88 и ИЛИ-НЕ 89. Схема формирования разряда частичного произведения 84 содержит логические элементы И 90 и 91, ИЛИ 92 и ИСКЛЮЧАЮЩЕЕ ИЛИ 93.

Сумматор, схема которого представлена на фиг.9, имеет входы разрядов вектора первых 31 и вектора вторых 32 слагаемых, входы установки границ данных в векторах слагаемых и сумм 33 и выходы разрядов вектора сумм 34. Каждый из N разрядов 94 сумматора содержит полусумматор 95, логический элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 96, первый 97 и второй 98 логические элементы ЗАПРЕТ. В состав сумматора входит также схема формирования переносов 99.

#### ВАРИАНТЫ ОСУЩЕСТВЛЕНИЯ ИЗОБРЕТЕНИЯ.

Нейропроцессор, блок-схема которого представлена на фиг.1, содержит первый 1, второй 2, третий 3, четвертый 4, пятый 5 и шестой 6 регистры, сдвиговый регистр 7, логический элемент И 8, первый 9 и второй 10 блоки памяти магазинного типа, коммутатор с трех направлений в два 11, мультиплексор 12, первое 13 и второе 14 устройства для вычисления функций насыщения, каждое из которых имеет входы разрядов вектора входных операндов 15, управляющие входы 16 и выходы разрядов вектора результатов 17, вычислительное устройство 18, имеющее входы разрядов вектора первых 19, вектора вторых 20 и вектора третьих 21 операндов, входы установки границ данных в векторах первых операндов и результатов 22, в векторах вторых операндов 23 и векторах третьих операндов 24, первый 25 и второй 26 входы управления загрузкой векторов третьих операндов в первый блок памяти, вход управления пересылкой матрицы третьих операндов из первого блока памяти во второй блок памяти 27 и выходы разрядов вектора первых 28 и вектора вторых 29 слагаемых



результатов операции сложения вектора первых операндов с произведением вектора вторых операндов на матрицу третьих операндов, хранящуюся во втором блоке памяти, и сумматор 30, имеющий входы разрядов вектора первых 31 и вектора вторых 32 слагаемых, входы установки границ данных в векторах слагаемых и сумм 33 и выходы разрядов вектора сумм 34. Нейропроцессор имеет первую 35 и вторую 36 входные шины и выходную шину 37. Управляющие входы 38 коммутатора с трех направлений в два 11, управляющий вход 39 мультиплексора 12, управляющий вход 40 первого регистра 1, управляющий вход 41 второго регистра 2, управляющий вход 42 третьего регистра 3, управляющий вход 43 четвертого регистра 4, вход управления записью 44 сдвигового регистра 7, вход управления записью 45 первого блока памяти магазинного типа 9, входы управления записью 46 и чтением 47 второго блока памяти магазинного типа 10 и указанные выше управляющие входы 26 и 27 вычислительного устройства 18 являются соответствующими управляющими входами нейропроцессора. Выходы состояния 48 первого блока памяти магазинного типа 9 и выходы состояния 49 второго блока памяти магазинного типа 10 являются выходами состояния нейропроцессора.

Первые информационные входы разрядов коммутатора с трех направлений в два 11, информационные входы первого блока памяти магазинного типа 9, первого 1, второго 2, третьего 3 и четвертого 4 регистров и параллельные информационные входы сдвигового регистра 7 поразрядно объединены и подключены к первой входной шине 35 нейропроцессора, разряды второй входной шины 36 которого соединены с вторыми информационными входами соответствующих разрядов коммутатора с трех направлений в два 11. Первые выходы разрядов коммутатора с трех направлений в два 11 соединены с входами соответствующих разрядов вектора входных операндов 15 первого устройства для вычисления функций насыщения 13, управляющие входы 16 разрядов которого соединены с выходами соответствующих разрядов второго регистра 2. Вторые выходы разрядов коммутатора с трех направлений в два 11 соединены с входами соответствующих разрядов вектора входных операндов 15 второго устройства для вычисления функций насыщения 14, управляющие входы 16 разрядов которого соединены с выходами соответствующих разрядов третьего регистра 3. Выходы разрядов первого регистра 1 соединены с первыми информационными входами соответствующих разрядов мультиплексора 12, вторые информационные входы разрядов которого соединены с выходами соответствующих разрядов вектора результа-

тов 17 первого устройства для вычисления функций насыщения 13. Выходы разрядов мультиплексора 12 соединены с входами соответствующих разрядов вектора первых операндов 19 вычислительного устройства 18, входы разрядов вектора вторых операндов 20 которого соединены с выходами соответствующих разрядов вектора результатов 17 второго устройства для вычисления функций насыщения 14. Информационные выходы первого блока памяти магазинного типа 9 соединены с входами соответствующих разрядов вектора третьих операндов 21 вычислительного устройства 18, выходы разрядов вектора первых слагаемых результатов 28 которого соединены с входами соответствующих разрядов вектора первых слагаемых 31 сумматора 30, входы разрядов вектора вторых слагаемых 32 которого соединены с выходами соответствующих разрядов вектора вторых слагаемых результатов 29 вычислительного устройства 18, входы установки границ данных в векторах первых операндов и результатов 22 которого соединены с выходами соответствующих разрядов пятого регистра 5 и соответствующими входами установки границ данных в векторах слагаемых и сумм 33 сумматора 30, выходы разрядов вектора сумм 34 которого соединены с соответствующими информационными входами второго блока памяти магазинного типа 10, информационные выходы которого подключены к соответствующим разрядам выходной шины 37 нейропроцессора и соединены с третьими входами соответствующих разрядов коммутатора с трех направлений в два 11. Выходы разрядов четвертого регистра 4 соединены с информационными входами соответствующих разрядов пятого регистра 5 и соответствующими входами установки границ данных в векторах третьих операндов 24 вычислительного устройства 18, входы установки границ данных в векторах вторых операндов 23 которого соединены с выходами соответствующих разрядов шестого регистра 6, информационные входы которого соединены с выходами соответствующих разрядов сдвигового регистра 7, последовательные информационные вход и выход которого объединены и подключены к первому входу управления загрузкой векторов третьих операндов в первый блок памяти 25 вычислительного устройства 18 и первому входу элемента И 8, выход которого соединен с входом управления чтением первого блока памяти магазинного типа 9. Вход управления сдвигом сдвигового регистра 7 соединен с вторым входом элемента И 8 и вторым входом управления загрузкой векторов третьих операндов в первый блок памяти 26 вычислительного устройства 18, вход управления пересылкой матрицы третьих опе-

рандов из первого блока памяти во второй блок памяти 27 которого соединен с управляющими входами пятого 5 и шестого 6 регистров.

Исполнительными узлами нейропроцессора являются первое 13 и второе 14 устройства для вычисления функций насыщения, вычислительное устройство 18 и сумматор 30. Каждое из этих устройств выполняет операции над векторами данных 5 программируемой разрядности, представленных в дополнительном коде.

В каждом такте работы нейропроцессора вычислительное устройство 18 формирует двухрядный код результата операции умножения вектора  $Y = (Y_1 \ Y_2 \ \dots \ Y_K)$ , разряды которого подаются на входы 20 вычислительного

устройства 18, на матрицу  $Z = \begin{pmatrix} Z_{1,1} & Z_{1,2} & \dots & Z_{1,M} \\ Z_{2,1} & Z_{2,2} & \dots & Z_{2,M} \\ \vdots & \vdots & & \vdots \\ Z_{K,1} & Z_{K,2} & \dots & Z_{K,M} \end{pmatrix}$ , предварительно загружен-

ную и хранящуюся во втором блоке памяти вычислительного устройства 18, с прибавлением к полученному произведению вектора  $X = (X_1 \ X_2 \ \dots \ X_M)$ , разряды которого подаются на входы 19 вычислительного устройства 18. При этом на выходах 28 и 29 вычислительного устройства 18 формируются разряды векторов  $A = (A_1 \ A_2 \ \dots \ A_M)$  и  $B = (B_1 \ B_2 \ \dots \ B_M)$ , сумма которых является результатом операции  $X + Y \times Z$ . То есть сумма  $m$ -х элементов векторов  $A$  и  $B$  определяется выражением:

$$A_m + B_m = X_m + \sum_{k=1}^K Y_k \times Z_{k,m} \quad (m=1,2,\dots,M).$$

Вектор  $X$  представляет собой  $N$ -разрядное слово, в котором упаковано  $M$  данных, представленных в дополнительном коде и являющихся элементами этого вектора. При этом младшие разряды вектора  $X$  являются разрядами первого данного  $X_1$ , далее следуют разряды второго данного  $X_2$  и т.д. Старшие разряды вектора  $X$  являются разрядами  $M$ -го данного  $X_M$ . При такой упаковке  $v$ -й разряд  $m$ -го данного  $X_m$  является  $(v + \sum_{\mu=1}^{m-1} N_\mu)$ -м разрядом вектора  $X$ , где  $N_m$  -разрядность  $m$ -го данного  $X_m$  вектора  $X$ ,  $v=1,2,\dots,N_m$ ,  $m=1,2,\dots,M$ . Количество данных  $M$  в векторе  $X$  и количество разрядов  $N_m$  в  $m$ -м данном  $X_m$  этого вектора могут принимать любые целочисленные значения от 1 до  $N$ , где  $m=1,2,\dots,M$ . Единственное ограничение заключается в том, что

суммарная разрядность всех данных, упакованных в одном векторе  $X$ , должна быть равна его разрядности:

$$\sum_{m=1}^M N_m = N.$$

Вектор  $Y$  представляет собой  $N$ -разрядное слово, в котором упаковано  $K$  данных, представленных в дополнительном коде и являющихся элементами этого вектора. Формат вектора  $Y$  аналогичен формату вектора  $X$ . Однако данные векторы могут различаться количеством и разрядностью отдельных данных, упакованных в этих векторах. Минимальная разрядность  $J$  каждого данного, упакованного в векторе  $Y$ , определяется схмотехнической реализацией операции умножения в вычислительном устройстве 18. При реализации алгоритма частичных произведений  $J$  равно 1, при реализации модифицированного алгоритма Бута  $J$  равно 2. Количество разрядов  $N_k$  в  $k$ -м данном  $Y_k$  вектора  $Y$  может принимать целочисленное значение от  $J$  до  $N$  кратные  $J$ , где  $k=1,2,\dots,K$ . Количество данных  $K$  в векторе  $Y$  может принимать любое целочисленное значение от 1 до  $N/J$ . Однако, суммарная разрядность всех данных, упакованных в одном векторе  $Y$ , должна быть равна его разрядности:

$$\sum_{k=1}^K N_k = N.$$

$k$ -я строка матрицы  $Z$  представляет собой вектор данных  $Z_k = (Z_{k,1} \ Z_{k,2} \ \dots \ Z_{k,M})$ , где  $k=1,2,\dots,K$ . Причем каждый из векторов  $Z_1, Z_2, \dots, Z_K$  должен иметь точно такой же формат, что и вектор  $X$ .

Векторы  $A$  и  $B$ , формируемые на выходах 28 и 29 вычислительного устройства 18, имеют точно такой же формат, что и вектор  $X$ .

Настройка аппаратуры вычислительного устройства 18 на обработку векторов требуемых форматов осуществляется путем загрузки  $N$ -разрядного управляющего слова  $N$  в пятый регистр 5, выходы которого подключены к входам 22 вычислительного устройства 18, и  $(N/J)$ -разрядного управляющего слова  $E$  в шестой регистр 6, выходы которого подключены к входам 23 вычислительного устройства 18.

Единичное значение  $n$ -го разряда  $h_n$  слова  $N$  означает, что вычислительное устройство 18 будет рассматривать  $n$ -й разряд каждого из векторов  $X, Z_1, Z_2, \dots, Z_K$ , как старший (знаковый) разряд соответствующего элемента данного вектора. Количе-

ство единичных битов в слове  $H$  равно количеству элементов в каждом из векторов  $X$ ,  $Z_1, Z_2, \dots, Z_K$ :

$$\sum_{n=1}^N h_n = M.$$

Единичное значение  $i$ -го разряда  $e_i$  слова  $E$  означает, что вычислительное устройство 18 будет рассматривать  $i$ -ю  $J$ -разрядную группу разрядов вектора  $Y$ , как группу младших разрядов соответствующего элемента данного вектора. Количество единичных битов в слове  $E$  равно количеству элементов в векторе  $Y$ :

$$\sum_{i=1}^{N/J} e_i = K.$$

Выполнению вычислительным устройством 18 описанной выше операции должна предшествовать процедура загрузки матрицы  $Z$  во второй блок памяти вычислительного устройства 18 и управляющих слов  $H$  и  $E$  в пятый 5 и шестой 6 регистры соответственно. Данная процедура выполняется в несколько этапов.

Первоначально в первый блок памяти магазинного типа 9 с первой входной шины 35 нейропроцессора последовательно записываются векторы  $Z_1, Z_2, \dots, Z_K$ . Загрузка всей матрицы  $Z$  в первый блок памяти магазинного типа 9 выполняется за  $K$  процессорных тактов, в каждом из которых на вход 45 нейропроцессора подается активный сигнал управления записью в первый блок памяти магазинного типа 9.

Затем в четвертый регистр 4 с первой входной шины 35 нейропроцессора загружается управляющее слово  $H$ , для чего на вход 43 нейропроцессора в течении одного такта подается активный сигнал, разрешающий запись в четвертый регистр 4. В следующем такте в сдвиговый регистр 7 с первой входной шины 35 нейропроцессора загружается управляющее слово  $E$ , для чего на вход 44 нейропроцессора в течении одного такта подается активный сигнал, разрешающий запись в сдвиговый регистр 7.

В течение следующих  $N/J$  тактов матрица  $Z$  пересылается из первого блока памяти магазинного типа 9 в первый блок памяти вычислительного устройства 18. В каждом из этих  $N/J$  тактов на управляющий вход нейропроцессора, подключенный к входу управления сдвигом сдвигового регистра 7, одному из входов элемента И 8 и входу 26 вычислительного устройства 18, подается активный управляющий сигнал. В каждом такте данный сигнал инициирует сдвиг содержимого сдвигового регистра 7 на один разряд вправо и, как следствие, выдачу на его последовательный выход очередного разряда управляющего слова  $E$ . Сигнал с последовательного выхода сдвиго-

вого регистра поступает на управляющий вход 25 вычислительного устройства 18 и на один из входов элемента И 8. При единичном значении данного сигнала на выходе элемента И 8 формируется активный сигнал, поступающий на вход управления чтением первого блока памяти магазинного типа 9. В результате на входы 21 вычислительного устройства 18 из первого блока памяти магазинного типа 9 поступает один из векторов  $Z_1, Z_2, \dots, Z_K$ , который записывается в первый блок памяти вычислительного устройства 18. Количество тактов, необходимых для загрузки одного вектора  $Z_k$ , зависит от разрядности  $N_k$  операнда  $Y_k$ , входящего в состав вектора  $Y$ , и равно  $N_k/J$  ( $k=1,2,\dots,K$ ). В процессе загрузки матрицы  $Z$  в первый блок памяти вычислительного устройства 18 управляющее слово  $H$ , хранящееся все это время в четвертом регистре 4, поступает на входы 24 вычислительного устройства 18 с целью настройки его аппаратных средств на прием векторов  $Z_1, Z_2, \dots, Z_K$  требуемого формата. Так как сигнал с последовательного выхода сдвигового регистра 7 поступает и на его последовательный информационный вход, а разрядность сдвигового регистра 7 равна  $N/J$ , то по окончании процесса загрузки матрицы  $Z$  в первый блок памяти вычислительного устройства 18 в сдвиговом регистре 7 будет находиться та же информация, что и до начала данного процесса, то есть управляющее слово  $E$ .

После этого на управляющий вход нейропроцессора, подключенный к управляющему входу 27 вычислительного устройства 18 и управляющим входам пятого 5 и шестого 6 регистров, подается активный сигнал. В результате этого за один такт матрица  $Z$  пересылается из первого блока во второй блок памяти вычислительного устройства 18, управляющее слово  $H$  переписывается из четвертого регистра 4 в пятый регистр 5, а управляющее слово  $E$  переписывается из сдвигового регистра 7 в шестой регистр 6.

Начиная со следующего такта вычислительное устройство 18 будет в каждом такте выполнять описанную выше операцию

$$A + B = X + Y \times Z$$

Сумматор 30 осуществляет в каждом такте сложение векторов  $A$  и  $B$ , поступающих на его входы 31 и 32 с выходов 28 и 29 вычислительного устройства 18. При этом на выходах 34 сумматора 30 формируется вектор  $S = (S_1, S_2, \dots, S_M)$ ,  $m$ -й элемент которого равен сумме  $m$ -х элементов векторов  $A$  и  $B$ :

$$S_m = A_m + B_m \quad (m=1,2,\dots,M)$$

Причем вектор  $S$  будет иметь такой же формат, что и векторы  $A$  и  $B$ . Настройка аппаратуры сумматора 30 на обработку векторов требуемых форматов обеспечивается путем подачи на входы 33 сумматора 30 управляющего слова  $H$ , хранящегося в пятом регистре 5.

5 Таким образом, последовательное включение вычислительного устройства 18 и сумматора 30 позволяет в каждом такте выполнять операцию  $S = X + Y \times Z$  над векторами данных программируемой разрядности. Результаты выполнения данной операции над различными наборами векторов входных операндов записываются во второй блок памяти магазинного типа 10, выполняющий функции аккумулятора промежуточных результатов, для чего на вход 46 нейропроцессора подается сигнал разрешения записи во второй блок памяти магазинного типа 10.

Вычислительное устройство 18 и сумматор 30 могут использоваться в качестве одноктактного коммутатора  $K$  данных, упакованных в одном  $N$ -разрядном векторе  $Y$ , подаваемом на входы 20 вычислительного устройства 18, в  $M$  данных, упакованных в одном  $N$ -разрядном векторе  $S$ , формируемом на выходах 34 сумматора 30. Такая коммутация осуществляется путем выполнения операции  $S = X + Y \times Z$ , при которой на входы 19 вычислительного устройства 18 подается вектор  $X$ , все разряды которого имеют нулевые значения, а во втором блоке памяти вычислительного устройства 18 хранится матрица  $Z$ , определяющая правила коммутации. При этом матрица  $Z$  должна удовлетворять следующим требованиям: элемент  $Z_{k,m}$ , находящийся на пересечении  $k$ -й строки и  $m$ -го столбца матрицы  $Z$ , должен иметь единичное значение  $(00...01)_b$ , если требуется, чтобы  $m$ -й элемент  $S_m$  вектора  $S$  был равен  $k$ -му элементу  $Y_k$  вектора  $Y$ , или нулевое значение  $(00...00)_b$  в противном случае; вектор  $Z_k$ , представляющий собой  $k$ -ю строку элементов матрицы  $Z$ , должен иметь такой же формат, что и вектор  $S$ ; а каждый столбец матрицы  $Z$  должен содержать не более одного элемента, имеющего единичное значение ( $k=1,2,...,K$ ;  $m=1,2,...,M$ ). Выполнению операции коммутации должна предшествовать описанная выше процедура загрузки управляющего слова  $H$ , определяющего требуемый формат вектора  $S$ , в пятый регистр 5, управляющего слова  $E$ , определяющего требуемый формат вектора  $Y$ , в шестой регистр 6 и матрицы  $Z$ , определяющей правила коммутации, во второй блок памяти вычислительного устройства 18.

Операция  $S = X + Y \times Z$  выполняется за один такт, в то время как процесс загрузки матрицы  $Z$  в первый блок памяти вычислительного устройства 18 занимает не

менее  $N/J$  тактов. Поэтому эффективное использование вычислительных ресурсов нейропроцессора достигается только при пакетной обработке векторов данных, для поддержки которой в вычислительное устройство 18 введен второй блок памяти, а в качестве аккумулятора промежуточных результатов 10 используется не регистр, а  
 5 двухпортовый блок памяти магазинного типа.

При пакетной обработке множество векторов входных операндов, подаваемых последовательно на каждый из входов 19 и 20 вычислительного устройства 18, разбивается на последовательно обрабатываемые подмножества (пакеты). Совокупность векторов входных операндов, последовательно подаваемых на каждый из входов 19 и  
 10 20 вычислительного устройства 18 и входящих в  $\tau$ -й пакет, можно представить в виде вектора векторов данных:

$$X^{\tau} = \begin{pmatrix} X^{\tau,1} \\ X^{\tau,2} \\ \vdots \\ X^{\tau,T_{\tau}} \end{pmatrix}, \quad Y^{\tau} = \begin{pmatrix} Y^{\tau,1} \\ Y^{\tau,2} \\ \vdots \\ Y^{\tau,T_{\tau}} \end{pmatrix},$$

где  $T_{\tau}$  - количество векторов, входящих в состав каждого  $\tau$ -го пакета. Причем все векторы, входящие в состав одного пакета, должны иметь одинаковый формат, то есть  
 15 содержимое пятого 5 и шестого 6 регистров в процессе обработки одного пакета векторов не должно изменяться.

Обработка  $\tau$ -х пакетов  $X^{\tau}$  и  $Y^{\tau}$  выполняется за  $T_{\tau}$  тактов. При этом в  $t$ -м такте вычислительное устройство 18 и сумматор 30 выполняют операцию

$$S^{\tau,t} = X^{\tau,t} + Y^{\tau,t} \times Z^{\tau} \quad (t=1,2,\dots,T_{\tau}),$$

20 где  $Z^{\tau}$  - содержимое второго блока памяти вычислительного устройства 18, которое в процессе обработки  $\tau$ -х пакетов  $X^{\tau}$  и  $Y^{\tau}$  должно оставаться неизменным. Весь процесс обработки  $\tau$ -х пакетов  $X^{\tau}$  и  $Y^{\tau}$  можно рассматривать как процедуру умножения матрицы данных  $Y^{\tau}$  на матрицу данных  $Z^{\tau}$  с накоплением результатов.

Одновременно с обработкой  $\tau$ -х пакетов векторов выполняется описанная выше  
 25 процедура последовательной загрузки управляющего слова  $H^{\tau+1}$ , определяющего формат векторов  $(\tau+1)$ -го пакета  $X^{\tau+1}$ , в четвертый регистр 4, управляющего слова  $E^{\tau+1}$ , определяющего формат векторов  $(\tau+1)$ -го пакета  $Y^{\tau+1}$ , в сдвиговый регистр 7 и пересылки матрицы  $Z^{\tau+1}$  из первого блока памяти магазинного типа 9 в первый блок памяти вычислительного устройства 18. Причем загрузка новых значений в четвер-



тый регистр 4 требуется только в том случае, если векторы  $(\tau+1)$ -го пакета  $X^{\tau+1}$  отличаются по формату от векторов  $\tau$ -го пакета  $X^{\tau}$ , а загрузка новых значений в сдвиговый регистр 7 требуется только в том случае, если векторы  $(\tau+1)$ -го пакета  $Y^{\tau+1}$  отличаются по формату от векторов  $\tau$ -го пакета  $Y^{\tau}$ . Данная процедура выполняется не более чем за  $N/J+2$  тактов.

По окончании обоих указанных процессов на управляющий вход 27 нейропроцессора подается активный сигнал, инициирующий одновременную пересылку слова  $H^{\tau+1}$  из четвертого регистра 4 в пятый регистр 5, слова  $E^{\tau+1}$  из сдвигового регистра 7 в шестой регистр 6, и матрицы  $Z^{\tau+1}$  из первого во второй блок памяти вычислительного устройства 18. Все указанные пересылки выполняются за один такт.

Количество векторов  $T_{\tau}$  в каждом  $\tau$ -м пакете может задаваться программно, но не должно превышать величины  $T_{\max}$ , которая равна количеству ячеек во втором блоке памяти магазинного типа 10. С другой стороны, нецелесообразно использовать пакеты векторов с  $T_{\tau}$  меньшим, чем  $N/J+2$ , так как при этом будут простаивать вычислительные средства нейропроцессора.

Одновременно с пересылкой матрицы  $Z^{\tau+1}$  из первого блока памяти магазинного типа 9 в первый блок памяти вычислительного устройства 18 может выполняться последовательная загрузка с первой входной шины 35 нейропроцессора векторов третьих операндов, составляющих матрицы  $Z^{\tau+2}$ ,  $Z^{\tau+3}$  и т.д., в первый блок памяти магазинного типа 9.

Синхронизация всех одновременно протекающих процессов осуществляется путем анализа сигналов состояния первого 9 и второго 10 блоков памяти магазинного типа, выдаваемых на выходы 48 и 49 нейропроцессора, и подачи управляющих сигналов на соответствующие входы нейропроцессора.

Коммутатор с трех направлений в два 11 и мультиплексор 12 образуют систему коммутации, благодаря которой, как на входы вектора первых операндов 19, так и на входы вектора вторых операндов 20 вычислительного устройства 18, может подаваться содержимое второго блока памяти магазинного типа 10 или информация, поступающая по одной из входных шин 35 или 36 нейропроцессора. Кроме того, на входы 19 вычислительного устройства 18 может подаваться содержимое регистра 1, предварительно записанное в него с первой входной шины 35 нейропроцессора путем подачи активного сигнала на управляющий вход 40 нейропроцессора. Выбор источ-

ников информации, поступающей на входы 19 и 20 вычислительного устройства 18, осуществляется подачей определенной комбинации сигналов на управляющие входы 38 и 39 нейропроцессора. Причем, если источником информации является второй блок памяти магазинного типа 10, на управляющий вход 47 нейропроцессора необходимо подать сигнал разрешения чтения из второго блока памяти магазинного типа 10.

Векторы данных, подаваемые на входы 19 и 20 вычислительного устройства 18 из второго блока памяти магазинного типа 10 или с одной из входных шин 35 или 36 нейропроцессора, проходят через устройства для вычисления функций насыщения 13 и 14. Каждое из устройств 13 и 14 вычисляет за один такт функцию насыщения от каждого элемента вектора  $\mathbf{D} = (D_1 \ D_2 \ \dots \ D_L)$ , поступающего на входы 15 данного устройства.

Вектор  $\mathbf{D}$  представляет собой N-разрядное слово, в котором упаковано L данных, представленных в дополнительном коде и являющихся элементами этого вектора. Формат вектора  $\mathbf{D}$  аналогичен формату описанного выше вектора  $\mathbf{X}$ . Однако, данные векторы могут различаться количеством и разрядностью отдельных данных, упакованных в этих векторах. Минимальная разрядность данных, составляющих вектор  $\mathbf{D}$ , равна двум. Количество данных L в векторе  $\mathbf{D}$  может принимать любые целочисленные значения от 1 до N/2. Однако, суммарная разрядность всех данных, упакованных в одном векторе  $\mathbf{D}$ , должна быть равна его разрядности:

$$\sum_{\lambda=1}^L N_{\lambda}'' = N.$$

На выходах 17 устройства для вычисления функций насыщения 13 или 14 формируется вектор  $\mathbf{F} = (F_1 \ F_2 \ \dots \ F_L)$ , который имеет точно такой же формат, что и вектор  $\mathbf{D}$ . Причем  $\lambda$ -й элемент  $F_{\lambda}$  вектора  $\mathbf{F}$  является результатом вычисления функции насыщения от  $\lambda$ -го операнда  $D_{\lambda}$  вектора  $\mathbf{D}$ :

$$F_{\lambda} = \Psi_{Q_{\lambda}}(D_{\lambda}),$$

где  $Q_{\lambda}$  - параметр функции насыщения, вычисляемой для операнда  $D_{\lambda}$  ( $\lambda=1,2,\dots,L$ ).  
Общий вид функций насыщения, вычисляемых устройствами 13 и 14, представлен на фиг.2 и описывается следующими выражениями:

$$\begin{aligned} \Psi_Q(D) &= D, & \text{если } -2^Q \leq D \leq 2^Q - 1; \\ Y_Q(D) &= 2^Q - 1, & \text{если } D > 2^Q - 1; \end{aligned}$$

$$Y_Q(D) = -2^Q, \quad \text{если } D < -2^Q.$$

Количество значащих бит в элементе  $F_\lambda$  вектора  $F$  без учета знакового разряда равно значению параметра  $Q_\lambda$  ( $\lambda=1,2,\dots,L$ ). Очевидно, что значение  $Q_\lambda$  должно быть меньше разрядности  $N''_\lambda$  операндов  $D_\lambda$  и  $F_\lambda$ .

5 Настройка аппаратуры каждого из устройств для вычисления функций насыщения 13 или 14 на требуемый формат векторов  $D$  и  $F$ , а также на требуемые значения параметров реализуемых функций насыщения, осуществляется путем подачи  $N$ -разрядного управляющего слова  $U$  на управляющие входы 16 данного устройства.

При этом разряды слова  $U$  должны иметь следующие значения: разряды с первого по  $(Q_1)$ -й – нулевые, разряды с  $(Q_1 + 1)$ -го по  $(N''_1)$ -й – единичные, разряды с  $(N''_1 + 1)$ -го по  $(N''_1 + Q_2)$ -й – нулевые, разряды с  $(N''_1 + Q_2 + 1)$ -го по  $(N''_1 + N''_2)$ -й – единичные и т.д. В общем случае разряды слова  $U$  с  $(1 + \sum_{\mu=1}^{\lambda-1} N''_\mu)$ -го по  $(Q_\lambda + \sum_{\mu=1}^{\lambda-1} N''_\mu)$ -й должны иметь нулевые значения, а разряды с  $(1 + Q_\lambda + \sum_{\mu=1}^{\lambda-1} N''_\mu)$ -го по  $(\sum_{\mu=1}^{\lambda} N''_\mu)$ -й – единичные значения ( $\lambda=1,2,\dots,L$ ).

15 Если значение  $n$ -го разряда слова  $U$  равно единице ( $u_n=1$ ), а значение  $(n+1)$ -го разряда равно нулю ( $u_{n+1}=0$ ), то устройство для вычисления функций насыщения 13 или 14 будет рассматривать  $n$ -й разряд вектора  $D$ , как старший (знаковый) разряд соответствующего элемента данного вектора. Количество нулевых битов в слове  $U$  равно суммарному числу значащих бит во всех элементах вектора результатов  $F$ :

$$20 \quad \sum_{n=1}^N \overline{u_n} = \sum_{\lambda=1}^L Q_\lambda$$

Если  $U=(100\dots 0)b$ , то информация с входов 15 устройства для вычисления функций насыщения 13 или 14 будет проходить на его выходы 17 без изменения ( $F=D$ ).

25 Управляющее слово первого устройства для вычисления функций насыщения 13 загружается с первой входной шины 35 нейропроцессора во второй регистр 2, выходы которого соединены с управляющими входами 16 устройства для вычисления функций насыщения 13. Данная загрузка выполняется за один такт путем подачи активного сигнала на управляющий вход 41 второго регистра 2.

Управляющее слово второго устройства для вычисления функций насыщения 14 загружается с первой входной шины 35 нейροпроцессора в третий регистр 3, выходы которого соединены с управляющими входами 16 устройства для вычисления функций насыщения 14. Данная загрузка выполняется за один такт путем подачи активного сигнала на управляющий вход 42 третьего регистра 3.

Устройства для вычисления функций насыщения 13 и 14 являются эффективным средством для предотвращения арифметических переполнений при обработке векторов входных операндов.

Каждое из устройств для вычисления функций насыщения 13 или 14 позволяет уменьшить только количество значащих разрядов в элементах обрабатываемого вектора данных. Разрядность отдельных элементов вектора данных и его формат остаются без изменений. Вместе с тем, в ряде случаев целесообразно выполнить вычисление функций насыщения для элементов вектора данных с уменьшением разрядности каждого элемента вектора результатов путем отбрасывания всех его старших разрядов, которые являются расширением знакового разряда данного элемента. Такое уменьшение разрядности элементов вектора  $F = (F_1 \ F_2 \ \dots \ F_L)$ , сформированного на выходах 17 устройства для вычисления функций насыщения 14, и связанная с ним переупаковка элементов в векторе могут быть выполнены за один такт с помощью вычислительного устройства 18 и сумматора 30, работающих в режиме коммутатора данных с  $2L$  направлений в  $L+1$ . В качестве примера ниже приводится описание операции преобразования вектора  $F$  в формируемый на выходах 34 сумматора 30 вектор  $S = (S_1 \ S_2 \ \dots \ S_{L+1})$ , у которого  $\lambda$ -й элемент  $S_\lambda$  представляет собой  $Q_\lambda+1$  младших (значащих) разрядов  $\lambda$ -го элемента  $F_\lambda$  вектора  $F$  ( $\lambda=1,2,\dots,L$ ), а  $(L+1)$ -й элемент  $S_{L+1}$ , расположенный в старших разрядах вектора  $S$ , равен  $(00\dots 0)b$ . Вектор  $F$ , формируемый на выходах 17 устройства для вычисления функций насыщения 14, можно представить в виде поступающего на входы 20 вычислительного устройства 18 вектора  $Y = (Y_1 \ Y_2 \ \dots \ Y_{2L})$ , у которого первый  $Y_{2\lambda-1}$  и второй  $Y_{2\lambda}$  элементы  $\lambda$ -й пары элементов представляют собой соответственно  $Q_\lambda+1$  младших и  $N_\lambda'' - Q_\lambda - 1$  старших разрядов  $\lambda$ -го  $N_\lambda''$ -разрядного элемента  $F_\lambda$  вектора  $F$  ( $\lambda=1,2,\dots,L$ ). В режиме коммутации данных на входы 19 вычислительного устройства 18 подаются нулевые значения, в результате чего на выходах 34 сумматора 30 формируется результат операции умножения вектора  $Y$  на матрицу  $Z$ , хранящуюся во втором блоке памяти вычисли-

тельного устройства 18. Данный результат будет представлять собой вектор  $S$  требуемого формата, если в пятом регистре 5 хранится управляющее слово  $H$ , определяющее описанный выше формат вектора  $S$ , в шестом регистре 6 - управляющее слово  $E$ , определяющее описанный выше формат вектора  $Y$ , а во втором блоке памяти вычислительного устройства 18 - матрица  $Z$ , содержащая по  $L+1$  элементов в каждой из  $2L$  строк. Причем матрица  $Z$  должна удовлетворять следующим требованиям: разрядность каждого элемента  $\lambda$ -го столбца матрицы  $Z$  должна быть равна  $Q_\lambda+1$ ; элемент  $Z_{2\lambda-1,\lambda}$ , находящийся на пересечении  $(2\lambda-1)$ -й строки и  $\lambda$ -го столбца матрицы  $Z$ , должен иметь единичное значение  $(00\dots 01)_b$ , а остальные элементы матрицы  $Z$  - нулевые значения  $(00\dots 00)_b$  ( $\lambda=1,2,\dots,L$ ).

Если при выполнении описанной выше операции по преобразованию вектора  $F$ , формируемого на выходах 17 устройства для вычисления функций насыщения 14, на входы 19 вычислительного устройства 18 подать вектор  $X = (X_1 \ X_2 \ \dots \ X_{M+1})$ , первый элемент  $X_1$  которого равен нулю и имеет разрядность, равную  $L + \sum_{\lambda=1}^L Q_\lambda$ , то на выходах 34 сумматора 30 будет сформирован вектор  $S = (S_1 \ S_2 \ \dots \ S_{L+M})$ , у которого  $\lambda$ -й элемент  $S_\lambda$  представляет собой  $Q_\lambda+1$  младших (значащих) разрядов  $\lambda$ -го элемента  $F_\lambda$  вектора  $F$  ( $\lambda=1,2,\dots,L$ ), а  $(L+m)$ -й элемент равен  $(m+1)$ -му элементу  $X_{m+1}$  вектора  $X$  ( $m=1,2,\dots,M$ ). Таким образом, нейропроцессор позволяет за один такт выполнить операцию по вычислению функций насыщения над элементами вектора входных данных и упаковать полученный результат в другой вектор входных данных.

Основное назначение нейропроцессора - это эмуляция всевозможных нейронных сетей. В общем случае один слой нейронной сети состоит из  $\Omega$  нейронов и имеет  $\Theta$  нейронных входов. При этом  $\omega$ -й нейрон выполняет взвешенное суммирование  $\Theta$  данных  $C_1, C_2, \dots, C_\Theta$ , подаваемых на соответствующие нейронные входы, с учетом порогового смещения  $V_\omega$  данного нейрона:

$$G_\omega = V_\omega + \sum_{\vartheta=1}^{\Theta} C_\vartheta \times W_{\vartheta,\omega},$$

где  $W_{\vartheta,\omega}$  - весовой коэффициент  $\vartheta$ -го входа в  $\omega$ -м нейроне ( $\vartheta=1,2,\dots,\Theta$ ;  $\omega=1,2,\dots,\Omega$ ). Затем  $\omega$ -й нейрон вычисляет функцию насыщения  $\Psi_{Q_\omega}$  от результата взвешенного суммирования  $G_\omega$ :

$$R_{\omega} = \Psi_{Q_{\omega}}(G_{\omega}).$$

Общий вид функций насыщения, реализуемых нейропроцессором, представлен на фиг.2. Все входные данные, весовые коэффициенты, пороговые значения и результаты представляются в дополнительном коде.

5        Специфика предлагаемого нейропроцессора заключается в том, что при его использовании пользователь может программно задавать следующие параметры нейронной сети: число слоев, число нейронов и нейронных входов в каждом слое, разрядность данных на каждом нейронном входе, разрядность каждого весового коэффициента, разрядность выходного значения каждого нейрона, параметр функции насыщения для каждого нейрона.

Один нейропроцессор позволяет эмулировать нейронную сеть практически неограниченных размеров. Эмуляция нейронной сети осуществляется послойно (последовательно слой за слоем).

Каждый слой нейронной сети разбивается на последовательно обрабатываемые фрагменты. Данное разбиение осуществляется следующим образом. Множество нейронных входов слоя разбивается на группы входов так, чтобы суммарная разрядность данных, подаваемых на все входы каждой группы входов, была равна разрядности нейропроцессора N. Множество нейронов слоя разбивается на группы нейронов так, чтобы суммарная разрядность результатов взвешенного суммирования всех входных данных для каждой группы нейронов была равна разрядности нейропроцессора N. При этом весь слой нейронной сети разбивается на фрагменты двух типов, имеющих различное функциональное назначение. Каждый фрагмент первого типа выполняет взвешенное суммирование данных, которые подаются на все нейронные входы, входящие в состав одной группы входов, для всех нейронов, входящих в состав одной группы нейронов. Каждый фрагмент второго типа формирует выходные значения для всех нейронов, входящих в состав одной группы нейронов, путем вычисления функции насыщения от результатов взвешенного суммирования всех входных данных.

Фиг.3 можно использовать в качестве иллюстрации описанного выше принципа разбиения слоя нейронной сети на фрагменты. Для этого необходимо представить, что каждый блок, приведенный на фиг.3, выполняет операции над N-разрядными векторами данных, и трактовать приведенные на этом рисунке обозначения следующим образом:

$C_{\vartheta}$  - вектор входных данных, подаваемых на  $\vartheta$ -ю группу нейронных входов ( $\vartheta=1,2,\dots,\Theta$ );

$V_{\omega}$  - вектор пороговых значений  $\omega$ -й группы нейронов ( $\omega=1,2,\dots,\Omega$ );

$W_{\vartheta,\omega}$  - матрица весовых коэффициентов входных данных, подаваемых на  $\vartheta$ -ю группу нейронных входов, в  $\omega$ -й группе нейронов ( $\vartheta=1,2,\dots,\Theta$ ;  $\omega=1,2,\dots,\Omega$ );

$G_{\omega}$  - вектор результатов взвешенного суммирования входных данных в  $\omega$ -й группе нейронов ( $\omega=1,2,\dots,\Omega$ );

$R_{\omega}$  - вектор выходных значений  $\omega$ -й группы нейронов ( $\omega=1,2,\dots,\Omega$ ).

При этом на фиг.3 каждому фрагменту первого типа соответствует пара устройств, выполняющих умножение и сложение, а каждому фрагменту второго типа соответствует одно устройство вычисления функций насыщения.

Весь процесс эмуляции слоя нейронной сети на одном нейропроцессоре можно представить в виде  $\Omega$  последовательно выполняемых процедур, каждая из которых осуществляет эмуляцию одной группы нейронов и состоит из  $\Theta+1$  последовательно выполняемых макроопераций, каждая из которых эмулирует один фрагмент слоя нейронной сети. Причем  $\vartheta$ -я макрооперация данной процедуры осуществляет эмуляцию фрагмента первого типа, выполняющего взвешенное суммирование данных, подаваемых на  $\vartheta$ -ю группу нейронных входов, с накоплением результата ( $\vartheta=1,2,\dots,\Theta$ ). Последняя макрооперация процедуры эмулирует фрагмент второго типа, выполняющий вычисление функций насыщения от взвешенной суммы данных, подаваемых на все нейронные входы, для соответствующей группы нейронов.

Каждая макрооперация, выполняемая в процессе эмуляции слоя нейронной сети, имеет подготовительную и исполнительные фазы. Обработка данных, подаваемых на нейронные входы, ведется в пакетном режиме - по  $T$  наборов входных данных в каждом пакете.

В течение подготовительной фазы первой макрооперации процедуры эмуляции  $\omega$ -й группы нейронов последовательно выполняются следующие операции. С первой входной шины 35 нейропроцессора в первый регистр 1 загружается вектор  $V_{\omega}$ . С первой входной шины 35 нейропроцессора в четвертый регистр 4 загружается управляющее слово, определяющее формат вектора  $V_{\omega}$  и всех векторов частичных сумм, формируемых в результате выполнения каждой  $\vartheta$ -й макрооперации ( $\vartheta=1,2,\dots,\Theta$ ). С первой входной шины 35 нейропроцессора в сдвиговой регистр 7 за-

гружается управляющее слово, определяющее формат векторов данных, подаваемых на первую группу нейронных входов. Матрица  $W_{1,\omega}$  пересылается из первого блока памяти магазинного типа 9, куда данная матрица должна быть предварительно загружена с первой входной шины 35 нейропроцессора, в первый блок памяти вычислительного устройства 18.

В течение каждого  $t$ -го такта исполнительной фазы первой макрооперации процедуры эмуляции  $\omega$ -й группы нейронов на входы вектора первых операндов 19 вычислительного устройства 18 из первого регистра 1 поступает вектор  $V_\omega$ , а на входы вектора вторых операндов 20 вычислительного устройства 18 с второй входной шины 36 нейропроцессора поступает вектор  $C_1^t$ , представляющий собой  $t$ -й набор входных данных, подаваемых на первую группу нейронных входов слоя ( $t=1,2,\dots,T$ ). При этом вычислительное устройство 18 и сумматор 30 формируют вектор частичной суммы

$$G_{1,\omega}^t = V_\omega + C_1^t \times W_{1,\omega},$$

который записывается во второй блок памяти магазинного типа 10. Причем начиная с процедуры эмуляции второй группы нейронов одновременно с данной операцией в каждом такте будет выполняться пересылка содержимого одной из ячеек второго блока памяти магазинного типа 10 во внешнюю память через выходную шину 37 нейропроцессора.

В течение подготовительной фазы  $\theta$ -й макрооперации ( $\theta=2,3,\dots,\Theta$ ), процедуры эмуляции  $\omega$ -й группы нейронов последовательно выполняются следующие операции. С первой входной шины 35 нейропроцессора в сдвиговый регистр 7 загружается управляющее слово, определяющее формат векторов данных, подаваемых на  $\theta$ -ю группу нейронных входов. Матрица  $W_{\theta,\omega}$  пересылается из первого блока памяти магазинного типа 9, куда данная матрица должна быть предварительно загружена с первой входной шины 35 нейропроцессора, в первый блок памяти вычислительного устройства 18.

В течение каждого  $t$ -го такта исполнительной фазы  $\theta$ -й макрооперации ( $\theta=2,3,\dots,\Theta$ ) процедуры эмуляции  $\omega$ -й группы нейронов на входы вектора первых операндов 19 вычислительного устройства 18 из второго блока памяти магазинного типа 10 поступает вектор частичных сумм  $G_{\theta-1,\omega}^t$ , сформированный при выполнении предыдущей макрооперации, а на входы вектора вторых операндов 20 вычислитель-



ного устройства 18 с второй входной шины 36 нейропроцессора поступает вектор  $C_\theta^t$ , представляющий собой t-й набор входных данных, подаваемых на  $\theta$ -ю группу нейронных входов слоя ( $t=1,2,\dots,T$ ). При этом вычислительное устройство 18 и сумматор 30 формируют вектор частичной суммы

$$5 \quad G_{\theta,\omega}^t = G_{\theta-1,\omega}^t + C_\theta^t \times W_{\theta,\omega},$$

который записывается во второй блок памяти магазинного типа 10.

При выполнении  $\Theta$  первых макроопераций каждой процедуры эмуляции группы нейронов устройство для вычисления функций насыщения 13 может использоваться для ограничения значений частичных сумм с целью исключения возможности арифметического переполнения при взвешенном суммировании входных данных. В этом случае подготовительная фаза макроопераций должна включать загрузку управляющего слова во второй регистр 2 с первой входной шины 35 нейропроцессора.

В течение подготовительной фазы  $(\Theta+1)$ -й макрооперации процедуры эмуляции  $\omega$ -й группы нейронов последовательно выполняются следующие операции. С первой входной шины 35 нейропроцессора в третий регистр 3 загружается управляющее слово, определяющее параметры функций насыщения, вычисляемых для  $\omega$ -й группы нейронов. Затем в четвертый регистр 4, сдвиговый регистр 7 и в первый блок памяти вычислительного устройства 18 загружается управляющая информация, необходимая для выполнения операции по сжатию и упаковке результатов вычисления функций насыщения.

В течение каждого t-го такта исполнительной фазы  $(\Theta+1)$ -й макрооперации процедуры эмуляции  $\omega$ -й группы нейронов на входы 15 устройства для вычисления функций насыщения 14 из второго блока памяти магазинного типа 10 поступает вектор частичных сумм  $G_{\theta,\omega}^t$ , в результате чего на выходах 17 устройства для вычисления функций насыщения 14 формируется вектор

$$25 \quad R_{\omega}^t = \Psi_{Q_{\omega}}(G_{\theta,\omega}^t),$$

который затем поступает на входы 20 вычислительного устройства 18. Вычислительное устройство 18 и сумматор 30 осуществляют сжатие вектора  $R_{\omega}^t$  путем исключения у каждого его элемента всех разрядов, являющихся расширением знакового разряда. Если при этом на входы 19 вычислительного устройства 18 подается не нулевой вектор, а вектор данных с одной из входных шин 35 или 36 нейропроцессора, то ре-

зультат сжатия вектора  $R^t$  будет упакован в этот вектор входных данных. В качестве такого вектора входных данных может использоваться результат, полученный в  $t$ -м такте исполнительной фазы  $(\Theta+1)$ -й макрооперации процедуры эмуляции  $(\omega-1)$ -й группы нейронов и хранившийся во внешней памяти. Результат записывается во второй блок памяти магазинного типа 10.

При выполнении любой макрооперации по эмуляции фрагмента слоя нейронной сети переход от подготовительной фазы к исполнительной осуществляется путем подачи активного сигнала на управляющий вход 27 нейропроцессора в течение одного такта, предшествующего первому такту исполнительной фазы. При этом содержимое четвертого регистра 4 переписывается в пятый регистр 5, содержимое сдвигового регистра 7 переписывается в шестой регистр 6, а содержимое первого блока памяти вычислительного устройства 18 пересылается в его второй блок памяти.

Последовательное выполнение макроопераций осуществляется нейропроцессором в конвейерном режиме, при котором исполнительная фаза очередной макрооперации выполняется одновременно с подготовительной фазой следующей макрооперации. Количество тактов, необходимых для выполнения всех операций подготовительной фазы макрооперации, колеблется в диапазоне от  $N/J$  до  $N/J+4$  в зависимости от количества управляющих слов, загружаемых в регистры нейропроцессора. Количество тактов, необходимых для выполнения исполнительной фазы любой макрооперации равно количеству обрабатываемых наборов входных данных  $T$ , которое задается пользователем. Таким образом, минимальный период выполнения макрооперации определяется длительностью подготовительной фазы и равен длительности  $N/J$  процессорных тактов. Значение  $T$  целесообразно выбирать равным  $N/J$ , так как при меньших значениях  $T$  будут простаивать исполнительные узлы нейропроцессора, а при больших значениях  $T$  возрастает время реакции нейропроцессора на очередной набор данных на нейронных входах, что нежелательно при эмуляции нейронных сетей реального масштаба времени.

В общем случае процесс эмуляции слоя нейронной сети, разбиваемого на  $\Omega \times (\Theta + 1)$  фрагментов, для  $T$  наборов входных данных выполняется на одном нейропроцессоре за  $\Omega \times (\Theta + 1) \times T$  тактов, но не менее, чем за  $\Omega \times (\Theta + 1) \times N / J$  тактов.

Небольшой слой нейронной сети, у которого суммарная разрядность данных, подаваемых на все нейронные входы, и суммарная разрядность результатов взвешенного суммирования для всех нейронов не превышают разрядности нейропроцессора N каждая, эмулируется путем выполнения двух макроопераций. Первая макрооперация эмулирует взвешенное суммирование всех входных данных для всех нейронов слоя, а вторая - вычисление функций насыщения для всех нейронов слоя.

Наличие в нейропроцессоре двух входных 35 и 36 и одной выходной 37 шин позволяет создавать на его основе эффективно работающие мультипроцессорные системы. Система, состоящая из  $\Xi$  нейропроцессоров будет выполнять эмуляцию слоя нейронной сети в  $\Xi$  раз быстрее, чем один нейропроцессор. В предельном случае каждый фрагмент каждого слоя нейронной сети может эмулироваться отдельным нейропроцессором.

Основным узлом нейропроцессора является вычислительное устройство 18.

На фиг.4 приведена блок-схема одной из возможных реализаций вычислительного устройства 18 для выполнения операций над векторами данных программируемой разрядности, содержащего сдвиговый регистр 50, выполняющий за один такт арифметический сдвиг всех операндов хранящегося в нем N-разрядного вектора на J разрядов влево, где J - минимальная величина, которой кратны разрядности данных в векторах вторых операндов вычислительного устройства 18, элемент задержки 51, первый блок памяти 52, имеющий порт ввода магазинного типа и содержащий N/J ячеек для хранения N-разрядных данных, второй блок памяти 53, содержащий N/J ячеек для хранения N-разрядных данных, N/J блоков умножения 54, каждый из которых умножает N-разрядный вектор данных программируемой разрядности на J-разрядный множитель, и схему сложения векторов 55, формирующую двухрядный код суммы N/J+1 векторов данных программируемой разрядности.

Входы разрядов вектора третьих операндов 21 вычислительного устройства 18 подключены к информационным входам сдвигового регистра 50, выходы которого соединены с информационными входами первого блока памяти 52, выходы каждой ячейки которого соединены с информационными входами соответствующей ячейки второго блока памяти 53, выходы каждой ячейки которого соединены с входами разрядов вектора множимых соответствующего блока умножения 54, входы разрядов множителя которого подключены к входам соответствующей J-разрядной группы разрядов вектора вторых операндов 20 вычислительного устройства 18. Выходы каж-

дого блока умножения 54 соединены с входами разрядов соответствующего вектора слагаемых схемы сложения векторов 55, входы разрядов (N/J+1)-го вектора слагаемых которой подключены к входам разрядов вектора первых операндов 19 вычислительного устройства 18, входы установки границ данных в векторах третьих операндов 24 которого подключены к соответствующим входам установки границ данных в векторах операндов сдвигового регистра 50, вход режима работы которого подключен к первому входу управления загрузкой векторов третьих операндов в первый блок памяти 25 вычислительного устройства 18, второй вход управления загрузкой векторов третьих операндов в первый блок памяти 26 которого подключен к тактовому входу сдвигового регистра 50 и входу элемента задержки 51, выход которого соединен с входом управления записью первого блока памяти 52. Вход управления записью второго блока памяти 53 подключен к входу управления пересылкой матрицы третьих операндов из первого блока памяти во второй блок памяти 27 вычислительного устройства 18, каждый вход установки границ данных в векторах вторых операндов 23 которого подключен к входу знаковой коррекции соответствующего блока умножения 54. Входы установки границ данных в векторах первых операндов и результатов 22 вычислительного устройства 18 подключены к входам установки границ данных в векторах множимых и результатов каждого блока умножения 54 и к входам установки границ данных в векторах слагаемых и результатов схемы сложения векторов 55, выходы разрядов векторов первых и вторых слагаемых результатов которой являются соответствующими выходами 28 и 29 вычислительного устройства 18.

Вычислительное устройство 18 работает следующим образом.

Процедура загрузки матрицы  $Z$  во второй блок памяти 53 вычислительного устройства 18 выполняется в два этапа.

Первоначально в течение N/J тактов матрица  $Z$  преобразуется в матрицу

$$Z' = \begin{pmatrix} Z'_{1,1} & Z'_{1,2} & \dots & Z'_{1,M} \\ Z'_{2,1} & Z'_{2,2} & \dots & Z'_{2,M} \\ \vdots & \vdots & & \vdots \\ Z'_{N/J,1} & Z'_{N/J,2} & \dots & Z'_{N/J,M} \end{pmatrix}, \text{ которая загружается в первый блок памяти 52 вы-}$$

числительного устройства 18. Причем  $i$ -я строка матрицы  $Z'$  представляет собой вектор данных  $Z'_i = (Z'_{i,1} \quad Z'_{i,2} \quad \dots \quad Z'_{i,M})$ , который впоследствии будет умножаться на  $i$ -ю J-разрядную группу разрядов вектора  $Y$  ( $i=1,2,\dots,N/J$ ). Все векторы  $Z'_1, Z'_2, \dots,$

$Z_{N/J}$  имеют точно такой же формат, что и любой из векторов  $Z_1, Z_2, \dots, Z_K$ . Преобразование матрицы  $Z$  в матрицу  $Z'$  выполняется путем замены  $k$ -й строки  $Z_k$  ( $k=1,2,\dots,K$ ) матрицы  $Z$  на  $N'_k/J$  строк  $Z'_{I_{k-1}+1}, Z'_{I_{k-1}+2}, \dots, Z'_{I_{k-1}+N'_k/J}$  матрицы  $Z'$ , формируемых в соответствие с выражением:

$$5 \quad Z'_{I_{k-1}+j} = Z_k \times 2^{J(j-1)} \quad (j=1,2,\dots,N'_k/J),$$

где  $I_k$  – суммарное количество  $J$ -разрядных групп разрядов в  $k$  первых операндах вектора  $Y$ ,  $N'_k$  – разрядность  $k$ -го элемента  $Y_k$  вектора  $Y$ .

$$I_k = \sum_{n=1}^k N'_n / J.$$

Из представленного выше выражения следует, что  $Z'_1 = Z_1$ ,  $Z'_{N'_1/J+1} = Z_2$ ,  
 10  $Z'_{(N'_1+N'_2)/J+1} = Z_3$  и т.д. То есть все строки матрицы  $Z$  будут присутствовать и в матрице  $Z'$ , но, как правило, на других позициях.

Преобразование матрицы  $Z$  в матрицу  $Z'$  выполняется с помощью сдвигового регистра 50 за  $N/J$  тактов. В каждом из этих  $N/J$  тактов на управляющий вход 26 вычислительного устройства 18 подается синхросигнал, который поступает на тактовый  
 15 вход сдвигового регистра 50, а на входы 24 вычислительного устройства 18 непрерывно подается описанное выше  $N$ -разрядное управляющее слово  $H$ , которое поступает на входы установки границ данных в векторах операндов сдвигового регистра 50. В  $i$ -м такте ( $i=1,2,\dots,N/J$ ) на управляющий вход 25 вычислительного устройства 18 подается  $i$ -й разряд  $e_i$  описанного выше  $(N/J)$ -разрядного управляющего слова  $E$ . Данный сигнал поступает на вход управления режимом работы сдвигового регистра 50.  
 20

В  $(I_{k-1}+1)$ -м такте ( $k=1,2,\dots,K$ ), когда на вход 25 вычислительного устройства 18 подается разряд слова  $E$ , имеющий единичное значение, сдвиговый регистр 50 переходит в режим загрузки вектора  $Z_k$ , подаваемого на входы 21 вычислительного устройства 18. В каждом из остальных  $N/J-K$  тактов, когда на вход 25 вычислительного  
 25 устройства 18 подается разряд слова  $E$ , имеющий нулевое значение, сдвиговый регистр 50 будет выполнять арифметический сдвиг на  $J$  разрядов влево хранящегося в нем вектора данных.

Таким образом, по окончании  $i$ -го такта ( $i=1,2,\dots,N/J$ ) процесса преобразования матрицы  $Z$  в матрицу  $Z'$  в сдвиговом регистре 50 будет храниться вектор  $Z'_i$ . Ин-

формация с выходов сдвигового регистра 50 поступает на информационные входы первого блока памяти 52, имеющего порт ввода магазинного типа.

Синхросигнал, подаваемый на вход 26 вычислительного устройства 18 в каждом такте в течение всего процесса преобразования матрицы  $Z$  в матрицу  $Z'$ , поступает через элемент задержки 51, в качестве которого может быть использован обычный инвертор, на вход управления записью первого блока памяти 52 вычислительного устройства 18. Поэтому одновременно с преобразованием матрицы  $Z$  в матрицу  $Z'$  будет происходить загрузка матрицы  $Z'$  в первый блок памяти 52 вычислительного устройства 18. По окончании процесса загрузки в  $i$ -й ячейке первого блока памяти 52 вычислительного устройства 18 будет содержаться вектор  $Z_i$ , ( $i=1,2,\dots,N/J$ ).

После этого на управляющий вход 27 вычислительного устройства 18 в течение одного такта подается синхросигнал, по которому содержимое всех ячеек первого блока памяти 52 переписывается в соответствующие ячейки второго блока памяти 53 вычислительного устройства 18. Таким образом, за один такт происходит пересылка матрицы  $Z'$  из первого 52 во второй 53 блок памяти вычислительного устройства 18.

Начиная со следующего такта исполнительные узлы вычислительного устройства 18, к которым относятся блоки умножения 54 и схема сложения векторов 55, будут в каждом такте формировать двухрядный код результата операции  $X + Y \times Z$ . При этом  $i$ -й блок умножения 54 служит для формирования частичного произведения вектора  $Z_i$ , хранящегося в  $i$ -й ячейке второго блока памяти 53 вычислительного устройства 18 на  $i$ -ю группу разрядов  $Y_i$  вектора  $Y$ , подаваемого на входы 20 вычислительного устройства 18:

$$P_i = Z_i \times Y_i.$$

На входы 23 вычислительного устройства 18 подается управляющее слово  $E$ ,  $j$ -й разряд  $e_j$  которого поступает на вход знаковой коррекции ( $j-1$ )-го блока умножения 54 ( $j=2,3,\dots,N/J$ ). На вход знаковой коррекции ( $N/J$ )-го блока умножения 54 поступает младший разряд  $e_1$  управляющего слова  $E$ . Поэтому каждый блок умножения 54, на входы разрядов множителя которого подается группа старших разрядов одного из элементов вектора  $Y$ , будет выполнять умножение в дополнительном коде. Остальные  $N/J-K$  блоков умножения 54 будут работать в прямом коде.

Схема сложения векторов 55 формирует двухрядный код суммы частичных произведений  $P_1, P_2, \dots, P_{N/J}$ , и вектора  $X$ , подаваемого на входы 19 вычислительного устройства 18. Данная схема может быть построена на основе сумматоров с отложенными переносами.

- 5 На входы 22 вычислительного устройства 18 подается управляющее слово  $H$ , которое поступает на входы установки границ данных в векторах множимых каждого блока умножения 54 и на входы установки границ данных в векторах слагаемых схемы сложения векторов 55. При этом в каждом исполнительном узле вычислительного устройства 18 будет блокироваться распространение переносов между разрядами этих
- 10 узлов, обрабатывающими разные элементы входных векторов.

На выходах схемы сложения векторов 55 формируются векторы  $A$  и  $B$ , сумма которых равна

$$A + B = X + \sum_{i=1}^{N/J} P_i = X + \sum_{i=1}^{N/J} Y_i \times Z_i.$$

- Сгруппировав частичные произведения, относящиеся к отдельным элементам
- 15 вектора  $Y$ , последнее выражение можно представить в следующем виде

$$A + B = X + \sum_{k=1}^K \sum_{j=1}^{N_k/J} Y'_{I_{k-1}+j} \times Z'_{I_{k-1}+j} = X + \sum_{k=1}^K \sum_{j=1}^{N_k/J} Y'_{I_{k-1}+j} \times Z'_k \times 2^{J(j-1)}.$$

С учетом того, что каждый  $k$ -й элемент вектора  $Y$  равен  $Y_k = \sum_{j=1}^{N_k/J} Y'_{I_{k-1}+j} \times 2^{J(j-1)}$ , предыдущее выражение преобразуется следующим образом:

$$A + B = X + \sum_{k=1}^K Y_k \times Z_k.$$

- 20 Таким образом, на выходах 28 и 29 вычислительного устройства формируется двухрядный код результата операции  $X + Y \times Z$ .

- В общем случае длительность процессорного такта нейропроцессора определяется суммарной задержкой переключения последовательно включенных коммутатора с трех направлений в два 11, устройства для вычисления функций насыщения 14,
- 25 вычислительного устройства 18 и сумматора 30. Производительность нейропроцессора можно существенно увеличить, если использовать устройства для вычисления функций насыщения 13 и 14, содержащие регистры входных данных, информационные входы которых подключены к входам 15 этих устройств, вычислительное устройство 18, содержащее регистр входных данных, информационные входы которого под-

ключены к входам 19 и 20 вычислительного устройства 18, и сумматор 30, содержащий регистр входных данных, информационные входы которого подключены к входам 31, 32 и 33 сумматора 30. Наличие таких регистров в исполнительных узлах нейропроцессора позволяет вести обработку данных в конвейерном режиме, обеспечивающем в каждом такте параллельное выполнение трех процессов: формирования вычислительным устройством 18 двухрядного кода результата взвешенного суммирования очередного набора входных данных, сложения на сумматоре 30 двухрядного кода результата взвешенного суммирования предыдущего набора входных данных и вычисления на устройствах 13 и 14 функций насыщения для следующего набора входных операндов. Так как максимальные задержки переключения устройств для вычисления функций насыщения 13 и 14, вычислительного устройства 18 и сумматора 30 имеют приблизительно одинаковые значения, то введение конвейерных регистров позволяет практически в три раза повысить тактовую частоту работы нейропроцессора.

Устройство для вычисления функций насыщения, схема которого представлена на фиг.5, имеет входы разрядов вектора входных операндов 15, управляющие входы 16 и выходы разрядов вектора результатов 17. Каждый из N разрядов 56 данного устройства содержит первый 57 и второй 58 мультиплексоры, логические элементы ИСКЛЮЧАЮЩЕЕ ИЛИ 59, РАВНОЗНАЧНОСТЬ 60, И-НЕ 61 и ЗАПРЕТ 62. В состав устройства входят также схема распространения переносов 63, имеющая вход начального переноса 64, инверсные входы распространения переноса через отдельные разряды 65, входы переноса из отдельных разрядов 66 и выходы переноса в отдельные разряды 67, и схема формирования переносов 68, имеющая вход начального переноса 69, входы распространения переноса через отдельные разряды 70, входы генерации переноса в отдельных разрядах 71 и выходы переноса в отдельные разряды 72.

Вторые информационные входы первого 57 и второго 58 мультиплексоров и первый вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 59 каждого разряда 56 устройства объединены и подключены к входу соответствующего разряда вектора входных операндов 15 устройства, выход каждого разряда вектора результатов 17 которого подключен к выходу первого мультиплексора 57 соответствующего разряда 56 устройства. Прямой вход элемента ЗАПРЕТ 62 и первые входы элементов И-НЕ 61 и РАВНОЗНАЧНОСТЬ 60 каждого разряда 56 устройства объединены и подключены к соответствующему управляющему входу 16 устройства. Первый вход элемента ИСКЛЮ-



ЧАЮЩЕЕ ИЛИ 59 и прямой вход элемента ЗАПРЕТ 62 q-го разряда 56 устройства соединены соответственно с вторым входом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 59 и инверсным входом элемента ЗАПРЕТ 62 (q-1)-го разряда 56 устройства, первый информационный вход второго мультиплексора 58 которого соединен с выходом переноса в (N-q+2)-й разряд 67 схемы распространения переносов 63 (где  $q=2,3,\dots,N$ ). Выход элемента И-НЕ 61 n-го разряда 56 устройства соединен с входом распространения переноса через (N-n+1)-й разряд 70 схемы формирования переносов 68, выход переноса в (N-n+2)-й разряд 72 которой соединен с управляющим входом первого мультиплексора 57 n-го разряда 56 устройства, выход элемента ЗАПРЕТ 62 которого соединен с управляющим входом второго мультиплексора 58 этого же разряда 56 устройства, входом генерации переноса в (N-n+1)-м разряде 71 схемы формирования переносов 68 и инверсным входом распространения переноса через (N-n+1)-й разряд 65 схемы распространения переносов 63, вход переноса из (N-n+1)-го разряда 66 которой соединен с выходом второго мультиплексора 58 n-го разряда 56 устройства ( $n=1,2,\dots,N$ ). В каждом разряде 56 устройства выход второго мультиплексора 58 соединен с вторым входом элемента РАВНОЗНАЧНОСТЬ 60, выход которого соединен с первым информационным входом первого мультиплексора 57, а выход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 59 соединен с вторым входом элемента И-НЕ 61. Вторым входом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 59, инверсным входом элемента ЗАПРЕТ 62 и первым информационным входом второго мультиплексора 58 N-го разряда 56 устройства, вход начального переноса 64 схемы распространения переносов 63 и вход начального переноса 69 схемы формирования переносов 68 объединены и подключены к шине логического нуля.

В качестве схем 63 и 68 в устройстве для вычисления функций насыщения могут использоваться различные схемы распространения и формирования переносов, применяемые в параллельных сумматорах.

В простейшем варианте схемы распространения переносов 63 выход переноса в q-й разряд 67 соединяется с входом переноса из (q-1)-го разряда 66 (где  $q=2,3,\dots,N$ ).

Устройство для вычисления функций насыщения 15 работает следующим образом.

На входы 15 устройства подаются разряды вектора входных операндов  $\mathbf{D} = (D_1 \ D_2 \ \dots \ D_L)$ . Вектор  $\mathbf{D}$  представляет собой N-разрядное слово, в котором упаковано L данных, представленных в дополнительном коде и являющихся элемен-

тами этого вектора. При этом младшие разряды вектора **D** являются разрядами первого данного  $D_1$ , далее следуют разряды второго данного  $D_2$  и т.д. Старшие разряды вектора **D** являются разрядами L-го данного  $D_L$ . При такой упаковке v-й разряд  $\lambda$ -го

данного  $D_\lambda$  является  $(v + \sum_{\mu=1}^{\lambda-1} N_\mu)$ -м разрядом вектора **D**, где  $N_\lambda$  -разрядность  $\lambda$ -го

5 данного  $D_\lambda$  вектора **D**,  $v=1,2,\dots, N_\lambda$ ,  $\lambda=1,2,\dots,L$ .

Минимальная разрядность данных, составляющих вектор **D**, равна двум. В общем случае количество разрядов  $N_\lambda$  в  $\lambda$ -м данном  $D_\lambda$  вектора **D** может принимать любое целочисленное значение от 2 до N ( $\lambda=1,2,\dots,L$ ), а количество данных L, упакованных в этом векторе, - от 1 до N/2. Единственное ограничение заключается в том, что

10 суммарная разрядность всех данных, упакованных в одном векторе **D**, должна быть равна его разрядности:

$$\sum_{\lambda=1}^L N_\lambda = N.$$

Устройство предназначено для формирования на выходах 17 вектора  $\mathbf{F} = (F_1 \ F_2 \ \dots \ F_L)$ ,  $\lambda$ -й элемент  $F_\lambda$  которого является результатом вычисления

15 функции насыщения от  $\lambda$ -го операнда  $D_\lambda$  вектора **D**:

$$F_\lambda = \Psi_{Q_\lambda}(D_\lambda),$$

где  $Q_\lambda$  - параметр функции насыщения, вычисляемой для операнда  $D_\lambda$  ( $\lambda=1,2,\dots,L$ ).  
Общий вид функций насыщения, вычисляемых устройством, представлен на фиг.2 и описывается следующими выражениями:

20  $\Psi_Q(D) = D, \quad \text{если} \quad -2^Q \leq D \leq 2^Q - 1;$

$\Psi_Q(D) = 2^Q - 1, \quad \text{если} \quad D > 2^Q - 1;$

$\Psi_Q(D) = -2^Q, \quad \text{если} \quad D < -2^Q.$

Вектор **F** имеет точно такой же формат, что и вектор **D**. Количество значащих бит в элементе  $F_\lambda$  вектора **F** без учета знакового разряда равно значению параметр  $Q_\lambda$ , которое должно быть меньше разрядности  $N_\lambda$  операндов  $D_\lambda$  и  $F_\lambda$  ( $\lambda=1,2,\dots,L$ ).

25

Настройка аппаратуры устройства на требуемый формат векторов **D** и **F**, а также на требуемые значения параметров реализуемых функций насыщения, осуществляется путем подачи N-разрядного слова U на управляющие входы 16 устройства.

При этом разряды слова  $U$  должны иметь следующие значения: разряды с первого по  $Q_1$ -й – нулевые, разряды с  $(Q_1 + 1)$ -го по  $N_1$ -й – единичные, разряды с  $(N_1 + 1)$ -го по  $(N_1 + Q_2)$ -й – нулевые, разряды с  $(N_1 + Q_2 + 1)$ -го по  $(N_1 + N_2)$ -й – единичные и т.д. В общем случае разряды управляющего слова  $U$  с  $(1 + \sum_{\mu=1}^{\lambda-1} N_{\mu})$ -го по  $(Q_{\lambda} + \sum_{\mu=1}^{\lambda-1} N_{\mu})$ -й

- 5 должны иметь нулевые значения, а разряды с  $(1 + Q_{\lambda} + \sum_{\mu=1}^{\lambda-1} N_{\mu})$ -го по  $(\sum_{\mu=1}^{\lambda} N_{\mu})$ -й – единичные значения ( $\lambda=1,2,\dots,L$ ).

Если значение  $n$ -го разряда слова  $U$  равно единице ( $u_n=1$ ), а значение  $(n+1)$ -го разряда равно нулю ( $u_{n+1}=0$ ), то устройство будет рассматривать  $n$ -й разряд вектора  $D$ , как старший (знаковый) разряд соответствующего элемента данного вектора. Количество нулевых битов в слове  $U$  равно суммарному числу значащих бит во всех элементах вектора результатов  $F$ .

Элемент ЗАПРЕТ 62  $n$ -го разряда 56 устройства формирует сигнал  $g_n = \overline{u_{n+1}} \wedge u_n$ , который является признаком того, что  $n$ -й разряд устройства обрабатывает знаковый разряд одного из входных операндов, составляющих вектор  $D$  (здесь и ниже  $n=1,2,\dots,N$ ). Второй мультиплексор 58  $n$ -го разряда 56 устройства формирует сигнал  $v_n = v_{n+1} \wedge \overline{g_n} \vee d_n \wedge g_n$ , который имеет значение знакового (старшего) разряда входного операнда, разрядом которого является  $n$ -й разряд  $d_n$  вектора  $D$ .

С целью ускоренного формирования сигналов  $v_n$  для всех разрядов 56 в устройстве используется схема распространения переносов 63, в качестве которой может применяться любая известная схема последовательного или обходного переноса, используемая в обычных параллельных сумматорах. Для применения схемы распространения переносов 63 в предложенном устройстве характерно, что в качестве сигналов входных и выходных переносов используются сигналы  $v_n$ , а в качестве сигналов распространения переноса через отдельные разряды – инверсные значения сигналов  $g_n$ . При этом перенос распространяется от старших разрядов устройства к младшим.

Элементы ИСКЛЮЧАЮЩЕЕ ИЛИ 59 и И-НЕ 61  $n$ -го разряда 56 устройства служат для формирования сигнала  $p_n = \overline{u_n} \vee \overline{d_{n+1}} \oplus \overline{d_n}$ , который является признаком того, что значение  $n$ -го разряда  $d_n$  вектора  $D$  не приводит к превышению порога на-

сыщения, установленного словом  $U$  для входного операнда, разрядом которого является  $n$ -й разряд  $d_n$  вектора  $D$ .

Схема формирования переносов 68 формирует для каждого  $n$ -го разряда 56 устройства сигнал  $c_n = c_{n+1} \wedge p_n \vee g_n$ , который является признаком того, что значения всех разрядов вектора  $D$  начиная с  $n$ -го разряда  $d_n$  и заканчивая старшим разрядом входного операнда, разрядом которого является  $n$ -й разряд  $d_n$  вектора  $D$ , не приводит к превышению порога насыщения, установленного словом  $U$  для этого входного операнда. В качестве схемы 68 может применяться любая известная схема формирования последовательных или групповых переносов, используемая в обычных параллельных сумматорах. Для применения схемы формирования переносов 68 в предложенном устройстве характерно, что в качестве сигналов генерации переноса, подаваемых на входы 71, используются сигналы  $g_n$ , в качестве сигналов распространения переноса, подаваемых на входы 70, используются сигналы  $p_n$ , а на выходах переноса 72 формируются сигналы  $c_n$ . Причем перенос распространяется от старших разрядов устройства к младшим.

Элемент РАВНОЗНАЧНОСТЬ 60 и первый мультиплексор 57  $n$ -го разряда 56 устройства формируют значение  $n$ -го разряда  $f_n$  вектора результатов  $F$  в соответствии с выражением  $f_n = d_n \wedge c_n \vee (v_n \oplus u_n) \wedge \overline{c_n}$ . Если  $c_n=1$ , то на выходе первого мультиплексора 57 устанавливается значение разряда  $d_n$  вектора  $D$ ; если  $c_n=0$  и  $u_n=1$ , то на выходе первого мультиплексора 57 устанавливается прямое значение знакового разряда ( $v_n$ ) соответствующего операнда вектора  $D$ ; если  $c_n=0$  и  $u_n=0$ , то на выходе первого мультиплексора 57 устанавливается инверсное значение знакового разряда ( $\overline{v_n}$ ) соответствующего операнда вектора  $D$ . Полученные на выходах первых мультиплексоров 57 разряды вектора результатов поступают на выходы 17 устройства.

Необходимо отметить, что если на входы 16 устройства подается управляющее слово  $U=(100\dots 0)_b$ , то информация, поступающая на входы 15 устройства, будет проходить на его выходы 17 без изменения ( $F=D$ ).

Таким образом, предложенное устройство для вычисления функций насыщения имеет задержку переключения приблизительно равную задержке переключения обычного параллельного сумматора двух  $N$ -разрядных чисел. При этом данное устройство позволяет одновременно вычислять функции насыщения для нескольких данных, разрядность которых может программироваться пользователем.

Вычислительное устройство, схема которого представлена на фиг.7, имеет входы разрядов вектора первых 19, вектора вторых 20 и вектора третьих 21 операндов, входы установки границ данных в векторах первых операндов и результатов 22, в векторах вторых операндов 23 и в векторах третьих операндов 24, первый 25 и второй 26 входы управления загрузкой векторов третьих операндов в первый блок памяти, вход управления пересылкой матрицы третьих операндов из первого блока памяти во второй блок памяти 27 и выходы разрядов векторов первых слагаемых результатов 28 и векторов вторых слагаемых результатов 29. Данное устройство содержит сдвиговый регистр 50, элемент задержки 51, N/2 логических элементов ЗАПРЕТ 75, N/2 дешифраторов разрядов множителя 76, матрицу умножения 77 из N столбцов по N/2 ячеек в каждом. Каждый разряд сдвигового регистра 50 содержит логический элемент ЗАПРЕТ 78, мультиплексор 79 и триггер 80. Каждая ячейка матрицы умножения 77 содержит первый 81 и второй 82 триггеры, выполняющие функции ячеек памяти соответственно первого и второго блоков памяти устройства, логический элемент ЗАПРЕТ 83, схему формирования разряда частичного произведения 84, одноразрядный сумматор 85 и мультиплексор 86. Причем на фиг.7 нумерация столбцов ячеек матрицы умножения 77 выполнена справа налево, а нумерация ячеек в столбцах ячеек матрицы умножения 77 - сверху вниз.

Вход каждого разряда вектора первых операндов 19 устройства подключен к второму входу одноразрядного сумматора 85 первой ячейки соответствующего столбца матрицы умножения 77, первый вход одноразрядного сумматора 85 каждой ячейки которой соединен с выходом схемы формирования разряда частичного произведения 84 этой же ячейки матрицы умножения 77, управляющие входы мультиплексоров 86 и инверсные входы элементов ЗАПРЕТ 83 всех ячеек каждого столбца которой объединены и подключены к соответствующему входу установки границ данных в векторах первых операндов и результатов 22 устройства. Каждый вход установки границ данных в векторах вторых операндов 23 устройства подключен к инверсному входу соответствующего элемента ЗАПРЕТ 75, выход которого соединен с первым входом соответствующего дешифратора разрядов множителя 76. Соответствующие управляющие входы схем формирования разряда частичного произведения 84 i-х ячеек всех столбцов матрицы умножения 77 объединены и подключены к соответствующим выходам i-го дешифратора разрядов множителя 76, второй и третий входы которого подключены к входам соответственно (2i-1)-го и (2i)-го разрядов вектора вторых

операндов 20 устройства (где  $i=1,2,\dots,N/2$ ). Прямой вход  $j$ -го элемента ЗАПРЕТ 75 соединен с третьим входом  $(j-1)$ -го дешифратора разрядов множителя 76 (где  $j=2,3,\dots,N/2$ ). Вход каждого разряда вектора третьих операндов 21 устройства подключен к второму информационному входу мультиплексора 79 соответствующего разряда сдвигового регистра 50, первый информационный вход которого соединен с выходом элемента ЗАПРЕТ 78 этого же разряда сдвигового регистра 50, первый инверсный вход которого подключен к соответствующему входу установки границ данных в векторах третьих операндов 24 устройства. Второй инверсный вход элемента ЗАПРЕТ 78  $q$ -го разряда сдвигового регистра 50 соединен с первым инверсным входом элемента ЗАПРЕТ 78  $(q-1)$ -го разряда сдвигового регистра 50 (где  $q=2,3,\dots,N$ ). Прямой вход элемента ЗАПРЕТ 78  $r$ -го разряда сдвигового регистра 50 соединен с выходом триггера 80  $(r-2)$ -го разряда сдвигового регистра 50 (где  $r=3,4,\dots,N$ ). Управляющие входы мультиплексоров 79 всех разрядов сдвигового регистра 50 объединены и подключены к первому входу управления загрузкой векторов третьих операндов в первый блок памяти 25 устройства. Входы синхронизации триггеров 80 всех разрядов сдвигового регистра 50 и вход элемента задержки 51 объединены и подключены к второму входу управления загрузкой векторов третьих операндов в первый блок памяти 26 устройства. Выход мультиплексора 79 каждого разряда сдвигового регистра 50 соединен с информационным входом триггера 80 этого же разряда сдвигового регистра 50, выход которого соединен с информационным входом первого триггера 81 последней ячейки соответствующего столбца матрицы умножения 77. Выход первого триггера 81  $j$ -й ячейки каждого столбца матрицы умножения 77 соединен с информационным входом первого триггера 81  $(j-1)$ -й ячейки этого же столбца матрицы умножения 77 (где  $j=2,3,\dots,N/2$ ). Входы синхронизации первых триггеров 81 всех ячеек матрицы умножения 77 объединены и подключены к выходу элемента задержки 51. Входы синхронизации вторых триггеров 82 всех ячеек матрицы умножения 77 объединены и подключены к входу управления пересылкой матрицы третьих операндов из первого блока памяти во второй блок памяти 27 устройства. Вторым информационным входом схемы формирования разряда частичного произведения 84  $i$ -й ячейки  $q$ -го столбца матрицы умножения 77 соединен с выходом элемента ЗАПРЕТ 83  $i$ -й ячейки  $(q-1)$ -го столбца матрицы умножения 77 (где  $i=1,2,\dots,N/2$  и  $q=2,3,\dots,N$ ). Вторым входом одноразрядного сумматора 85  $j$ -й ячейки каждого столбца матрицы умножения 77 соединен с выходом суммы одноразрядного сумматора 85  $(j-1)$ -й ячейки этого же

столбца матрицы умножения 77 (где  $j=2,3,\dots,N/2$ ). Третий вход одноразрядного сумматора 85  $j$ -й ячейки  $q$ -го столбца матрицы умножения 77 соединен с выходом мультиплексора 86  $(j-1)$ -й ячейки  $(q-1)$ -го столбца матрицы умножения 77 (где  $j=2,3,\dots,N/2$  и  $q=2,3,\dots,N$ ), а третий вход одноразрядного сумматора 85  $j$ -й ячейки первого столбца матрицы умножения 77 соединен с третьим выходом  $(j-1)$ -го дешифратора разрядов множителя 76 (где  $j=2,3,\dots,N/2$ ).

Выход суммы одноразрядного сумматора 85 последней ячейки каждого столбца матрицы умножения 77 является выходом соответствующего разряда вектора первых слагаемых результатов 28 устройства. Выход мультиплексора 86 последней ячейки  $(q-1)$ -го столбца матрицы умножения 77 является выходом  $q$ -го разряда вектора вторых слагаемых результатов 29 устройства (где  $q=2,3,\dots,N$ ), первый разряд вектора вторых слагаемых результатов 29 которого подключен к третьему выходу  $(N/2)$ -го дешифратора разрядов множителя 76. Второй инверсный и прямой входы элемента ЗАПРЕТ 78 первого разряда и прямой вход элемента ЗАПРЕТ 78 второго разряда сдвигового регистра 50, вторые информационные входы схем формирования разряда частичного произведения 84 всех ячеек первого столбца матрицы умножения 77, третьи входы одноразрядных сумматоров 85 первых ячеек всех столбцов матрицы умножения 77 и прямой вход первого элемента ЗАПРЕТ 75 объединены и подключены к шине логического нуля. В каждой ячейке матрицы умножения 77 выход первого триггера 81 соединен с информационным входом второго триггера 82, выход которого соединен с прямым входом элемента ЗАПРЕТ 83 и первым информационным входом схемы формирования разряда частичного произведения 84, третий управляющий вход которой соединен с вторым информационным входом мультиплексора 86, первый информационный вход которого соединен с выходом переноса одноразрядного сумматора 85 этой же ячейки матрицы умножения 77.

Вычислительное устройство предназначено для формирования двухрядного кода результата операции умножения вектора вторых операндов  $Y = (Y_1 \ Y_2 \ \dots \ Y_K)$ , разряды которого подаются на входы 20 устройства, на матрицу третьих операндов  $Z = \begin{pmatrix} Z_{1,1} & Z_{1,2} & \dots & Z_{1,M} \\ Z_{2,1} & Z_{2,2} & \dots & Z_{2,M} \\ \vdots & \vdots & & \vdots \\ Z_{K,1} & Z_{K,2} & \dots & Z_{K,M} \end{pmatrix}$ , предварительно загруженную и

хранящуюся во втором блоке памяти устройства, с прибавлением к полученному про-

изведению вектора первых операндов  $X = (X_1 \ X_2 \ \dots \ X_M)$ , разряды которого подаются на входы 19 устройства. При этом в каждом такте работы устройства на его выходах 28 и 29 формируются разряды векторов  $A = (A_1 \ A_2 \ \dots \ A_M)$  и  $B = (B_1 \ B_2 \ \dots \ B_M)$ , сумма которых является результатом операции  $X + Y \times Z$ .

- 5 То есть сумма  $m$ -х элементов векторов  $A$  и  $B$  определяется выражением:

$$A_m + B_m = X_m + \sum_{k=1}^K Y_k \times Z_{k,m} \quad (m=1,2,\dots,M).$$

- Вектор  $X$  представляет собой  $N$ -разрядное слово, в котором упаковано  $M$  данных, представленных в дополнительном коде и являющихся элементами этого вектора. При этом младшие разряды вектора  $X$  являются разрядами первого данного  $X_1$ ,  
 10 далее следуют разряды второго данного  $X_2$  и т.д. Старшие разряды вектора  $X$  являются разрядами  $M$ -го данного  $X_M$ . При такой упаковке  $v$ -й разряд  $m$ -го данного  $X_m$  является  $(v + \sum_{\mu=1}^{m-1} N_{\mu})$ -м разрядом вектора  $X$ , где  $N_m$  -разрядность  $m$ -го данного  $X_m$  вектора  $X$ ,  $v=1,2,\dots,N_m$ ,  $m=1,2,\dots,M$ . Количество данных  $M$  в векторе  $X$  и количество разрядов  $N_m$  в каждом  $m$ -м данном  $X_m$  этого вектора ( $m=1,2,\dots,M$ ) могут принимать любые целочисленные значения от 1 до  $N$ . Единственное ограничение заключается в  
 15 том, что суммарная разрядность всех данных, упакованных в одном векторе  $X$ , должна быть равна его разрядности:

$$\sum_{m=1}^M N_m = N.$$

- Вектор  $Y$  представляет собой  $N$ -разрядное слово, в котором упаковано  $K$  данных, представленных в дополнительном коде и являющихся элементами этого вектора. Формат вектора  $Y$  аналогичен формату вектора  $X$ . Однако данные векторы могут различаться количеством и разрядностью отдельных данных, упакованных в этих векторах. Количество разрядов  $N_k$  в  $k$ -м данном  $Y_k$  ( $k=1,2,\dots,K$ ) вектора  $Y$  может принимать целочисленное четное значение от 2 до  $N$ . Количество данных  $K$  в векторе  $Y$   
 25 может принимать любое целочисленное значение от 1 до  $N/2$ . Однако, суммарная разрядность всех данных, упакованных в одном векторе  $Y$ , должна быть равна его разрядности:



$$\sum_{k=1}^K N_k = N.$$

к-я строка матрицы  $Z$  представляет собой вектор данных  $Z_k = (Z_{k,1} \ Z_{k,2} \ \dots \ Z_{k,M})$ , где  $k=1,2,\dots,K$ . Причем каждый из векторов  $Z_1, Z_2, \dots, Z_K$  должен иметь точно такой же формат, что и вектор  $X$ .

- 5 Векторы  $A$  и  $B$ , формируемые на выходах 28 и 29 устройства, имеют точно такой же формат, что и вектор  $X$ .

Настройка аппаратуры вычислительного устройства на обработку векторов требуемых форматов осуществляется путем подачи  $N$ -разрядного управляющего слова  $H$  на входы установки границ данных в векторах первых операндов и результатов  
10 22 устройства и  $(N/2)$ -разрядного управляющего слова  $E$  на входы установки границ данных в векторах вторых операндов 23 устройства.

Единичное значение  $n$ -го разряда  $h_n$  слова  $H$  означает, что устройство будет рассматривать  $n$ -й разряд каждого из векторов  $X, Z_1, Z_2, \dots, Z_K$ , как старший разряд соответствующего элемента данного вектора. Количество единичных битов в слове  $H$   
15 равно количеству элементов в каждом из векторов  $X, Z_1, Z_2, \dots, Z_K$ :

$$\sum_{n=1}^N h_n = M.$$

Единичное значение  $i$ -го разряда  $e_i$  слова  $E$  означает, что устройство будет рассматривать  $i$ -ю пару разрядов вектора  $Y$ , как группу младших разрядов соответствующего элемента данного вектора. Количество единичных битов в слове  $E$  равно  
20 количеству элементов в векторе  $Y$ :

$$\sum_{i=1}^{N/2} e_i = K.$$

Выполнению описанной выше операции должна предшествовать процедура загрузки матрицы  $Z$  во второй блок памяти устройства, функции ячеек памяти которого выполняют вторые триггеры 82 ячеек матрицы умножения 77. Данная процедура  
25 выполняется в два этапа.

Первоначально в течение  $N/2$  тактов матрица  $Z$  преобразуется в матрицу

$$Z' = \begin{pmatrix} Z'_{1,1} & Z'_{1,2} & \dots & Z'_{1,M} \\ Z'_{2,1} & Z'_{2,2} & \dots & Z'_{2,M} \\ \vdots & \vdots & & \vdots \\ Z'_{N/2,1} & Z'_{N/2,2} & \dots & Z'_{N/2,M} \end{pmatrix}, \text{ которая загружается в первый блок памяти уст-}$$

ройства. Причем  $i$ -я строка матрицы  $Z'$  представляет собой вектор данных  $Z'_i = (Z'_{i,1} \ Z'_{i,2} \ \dots \ Z'_{i,M})$ , который впоследствии будет умножаться на  $i$ -ю пару раз-

рядов вектора  $Y$  ( $i=1,2,\dots,N/2$ ). Все векторы  $Z'_1, Z'_2, \dots, Z'_{N/2}$  имеют точно такой же формат, что и любой из векторов  $Z_1, Z_2, \dots, Z_K$ . Преобразование матрицы  $Z$  в матрицу  $Z'$  выполняется путем замены  $k$ -й строки  $Z_k$  ( $k=1,2,\dots,K$ ) матрицы  $Z$  на  $N'_k/2$  строк  $Z'_{I_{k-1}+1}, Z'_{I_{k-1}+2}, \dots, Z'_{I_{k-1}+N'_k/2}$  матрицы  $Z'$ , формируемых в соответствие с выражением:

$$10 \quad Z'_{I_{k-1}+j} = Z_k \times 2^{2(j-1)} \quad (j=1,2,\dots,N'_k/2),$$

где  $I_k$  – суммарное количество пар разрядов в  $k$  первых операндах вектора  $Y$ , равное

$$I_k = \sum_{v=1}^k N'_v / 2.$$

Из представленного выше выражения следует, что  $Z'_1 = Z_1$ ,  $Z'_{N'_1/2+1} = Z_2$ ,  $Z'_{(N'_1+N'_2)/2+1} = Z_3$  и т.д. То есть все строки матрицы  $Z$  будут присутствовать и в матри-

15 це  $Z'$ , но, как правило, на других позициях.

Преобразование матрицы  $Z$  в матрицу  $Z'$  выполняется с помощью сдвигового регистра 50, который имеет два режима работы. В режиме загрузки на управляющий вход 25 устройства подается единичный сигнал, и все мультиплексоры 79 сдвигового регистра 50 начинают пропускать на информационные входы триггеров 80 сдвигового регистра 50 разряды вектора данных, подаваемые на входы 21 устройства. В режиме сдвига на управляющий вход 25 устройства подается нулевой сигнал, и все мультиплексоры 79 сдвигового регистра 50 начинают пропускать на информационные входы триггеров 80 сдвигового регистра 50 информацию с выходов соответствующих элементов ЗАПРЕТ 78 сдвигового регистра 50. На выходе элемента ЗАПРЕТ 78  $r$ -го разряда ( $r=3,4,\dots,N$ ) сдвигового регистра 50 формируется сигнал  $w_{r-2} \wedge \overline{h_r} \wedge \overline{h_{r-1}}$ , где

25

$w_{r-2}$  – информация, хранящаяся в триггере 80 (r-2)-го разряда сдвигового регистра 50, а  $h_r$  – значение r-го разряда N-разрядного управляющего слова H, которое подается на входы 24 устройства и устанавливает границы данных в обрабатываемых векторах. Элементы ЗАПРЕТ 78 предотвращают распространение информации между разрядами сдвигового регистра 50, хранящими разряды различных элементов вектора данных, предварительно загруженного в сдвиговый регистр 50. На выходе элементов ЗАПРЕТ 78 двух младших разрядов сдвигового регистра постоянно формируются нулевые сигналы, так как их прямые входы подключены к шине логического нуля. Таким образом, сдвиговый регистр 50, находящийся в режиме сдвига, выполняет арифметический сдвиг хранящегося в нем вектора данных на два разряда влево, что эквивалентно умножению элементов этого вектора на четыре.

Преобразование матрицы  $Z$  в матрицу  $Z'$  выполняется за  $N/2$  тактов. В каждом из этих  $N/2$  тактов на управляющий вход 26 устройства подается синхросигнал, который поступает на входы синхронизации триггеров 80 сдвигового регистра 50, а на входы установки границ данных в векторах третьих операндов 24 устройства непрерывно подается описанное выше N-разрядное управляющее слово H, которое при выполнении операции  $X + Y \times Z$  по окончании загрузки матрицы  $Z$  будет подаваться на входы 22 устройства. В i-м такте ( $i=1,2,\dots,N/2$ ) на управляющий вход 25 устройства подается i-й разряд  $e_i$  описанного выше  $(N/2)$ -разрядного управляющего слова E, которое при выполнении операции  $X + Y \times Z$  по окончании процесса преобразования и загрузки матрицы  $Z$  будет подаваться на входы 23 устройства.

В  $(I_{k-1}+1)$ -м такте ( $k=1,2,\dots,K$ ), когда на вход 25 устройства подается разряд слова E, имеющий единичное значение, на входы 21 устройства поступают разряды вектора  $Z_k$ , который будет записываться без изменений в триггеры 80 сдвигового регистра 50. В каждом из остальных  $N/2-K$  тактов, когда на вход 25 устройства подается разряд слова E, имеющий нулевое значение, в триггеры 80 сдвигового регистра 50 будут записываться увеличенные в четыре раза значения элементов вектора данных, хранящегося в сдвиговом регистре 50.

Таким образом, по окончании i-го такта ( $i=1,2,\dots,N/2$ ) процесса преобразования матрицы  $Z$  в матрицу  $Z'$  в триггерах 80 сдвигового регистра 50 будет храниться вектор  $Z'$ .

Информация с выходов сдвигового регистра 50 поступает на информационные входы первого блока памяти устройства, который реализован на первых триггерах 81 ячеек матрицы умножения 77. Матрица  $N$  на  $N/2$  триггеров 81 образует  $N$  параллельно включенных  $(N/2)$ -разрядных сдвиговых регистров, каждый из которых состоит из  $N/2$  последовательно включенных триггеров 81, входящих в состав ячеек одного из столбцов матрицы умножения 77. Поэтому матрица триггеров 81 может рассматриваться как блок памяти, имеющий порт ввода магазинного типа и содержащий  $N/2$  ячеек памяти, каждая из которых обеспечивает хранение  $N$ -разрядных слов. Функции  $i$ -й ячейки первого блока памяти выполняют триггеры 81 ячеек  $i$ -й строки матрицы умножения 77 ( $i=1,2,\dots,N/2$ ).

Синхросигнал, подаваемый на вход 26 устройства в каждом такте в течение всего процесса преобразования матрицы  $Z$  в матрицу  $Z'$ , поступает через элемент задержки 51, в качестве которого может быть использован обычный инвертор, на входы синхронизации первых триггеров 81 всех ячеек матрицы умножения 77. Поэтому одновременно с преобразованием матрицы  $Z$  в матрицу  $Z'$  будет происходить загрузка матрицы  $Z'$  в первый блок памяти устройства. По окончании процесса загрузки в первых триггерах 81 ячеек  $i$ -й строки матрицы умножения 77 будет содержаться вектор  $Z'_i$  ( $i=1,2,\dots,N/2$ ).

После этого на управляющий вход 27 устройства в течение одного такта подается синхросигнал, по которому содержимое первых триггеров 81 всех ячеек матрицы умножения 77 переписывается во вторые триггеры 82 этих же ячеек матрицы умножения 77. Матрица  $N$  на  $N/2$  триггеров 82 может рассматриваться как второй блок памяти, содержащий  $N/2$  ячеек памяти, каждая из которых обеспечивает хранение  $N$ -разрядных слов. Функции  $i$ -й ячейки второго блока памяти выполняют вторые триггеры 82 ячеек  $i$ -й строки матрицы умножения 77 ( $i=1,2,\dots,N/2$ ). Таким образом, за один такт происходит пересылка матрицы  $Z'$  из первого во второй блок памяти устройства.

Начиная со следующего такта исполнительные узлы вычислительного устройства, к которым относятся элементы ЗАПРЕТ 75, дешифраторы разрядов множителей 76, а также входящие в состав ячеек матрицы умножения 77 элементы ЗАПРЕТ 83, схемы формирования разряда частичного произведения 84, одноразрядные сумматоры

ры 85 и мультиплексоры 86, будут в каждом такте выполнять описанную выше операцию

$$A + B = X + Y \times Z$$

При этом  $i$ -й дешифратор разрядов множителя 76,  $i$ -й элемент ЗАПРЕТ 75, а также входящие в состав ячеек  $i$ -й строки матрицы умножения 77 элементы ЗАПРЕТ 83 и схемы 84 служат для формирования разрядов частичного произведения вектора  $Z_i$ , хранящегося во вторых триггерах 82 ячеек  $i$ -й строки матрицы умножения 77, на  $i$ -ю пару разрядов  $Y_i$  вектора  $Y$  (здесь и ниже  $i=1,2,\dots,N/2$ ):

$$P_i = Z_i \times Y_i$$

Все частичные произведения вычисляются по модифицированному алгоритму Бута, в соответствие с которым значения  $2i$ -го и  $(2i-1)$ -го разрядов вектора  $Y$  и сигнала переноса  $c_i$  из соседней младшей пары разрядов множителя определяют значение частичного произведения  $P_i$  следующим образом:

если  $y_{2i}=0, y_{2i-1}=0$  и  $c_i=0$  или  $y_{2i}=1, y_{2i-1}=1$  и  $c_i=1$ , то  $P_i=0$ ;

если  $y_{2i}=0, y_{2i-1}=0$  и  $c_i=1$  или  $y_{2i}=0, y_{2i-1}=1$  и  $c_i=0$ , то  $P_i=Z_i$ ;

если  $y_{2i}=0, y_{2i-1}=1$  и  $c_i=1$ , то  $P_i=2 \times Z_i$ ;

если  $y_{2i}=1, y_{2i-1}=0$  и  $c_i=0$ , то  $P_i=-2 \times Z_i$ ;

если  $y_{2i}=1, y_{2i-1}=0$  и  $c_i=1$  или  $y_{2i}=1, y_{2i-1}=1$  и  $c_i=0$ , то  $P_i=-Z_i$ .

В обычных двухоперандных умножителях Бута в качестве сигнала переноса  $c_i$  используется  $(2i-2)$ -й разряд множителя. В предложенном устройстве, где множимым является вектор операндов программируемой разрядности, сигнал переноса  $c_i$  формируется на выходе  $i$ -го элемента ЗАПРЕТ 75 и описывается следующим логическим выражением:

$$c_i = y_{2i-2} \wedge \overline{e_i}$$

где  $y_{2i-2}$  -  $(2i-2)$ -й разряд вектора  $Y$ ,  $e_i$  -  $i$ -й разряд управляющего слова  $E$ . Применение элементов ЗАПРЕТ 75 позволяет блокировать распространение переносов между парами разрядов вектора  $Y$ , относящимися к разным элементам вектора.

На выходах  $i$ -го дешифратора разрядов множителя 76 формируются следующие сигналы:

$$\text{one}_i = y_{2i-1} \oplus c_i, \quad \text{two}_i = \overline{y_{2i-1} \oplus c_i} \wedge y_{2i-1} \oplus y_{2i}, \quad \text{sub}_i = y_{2i}$$

Данные сигналы осуществляют управление схемами формирования разряда частичного произведения 84 ячеек  $i$ -й строки матрицы умножения 77, на первые информационные входы которых с выходов вторых триггеров 82 ячеек  $i$ -й строки матрицы умножения 77 подаются разряды вектора  $Z_i'$ , а на вторые информационные входы с выходов элементов ЗАПРЕТ 83 ячеек  $i$ -й строки матрицы умножения 77 подаются разряды вектора  $Z_i''$ . Элемент ЗАПРЕТ 83  $i$ -й ячейки  $n$ -го столбца матрицы умножения 77 формирует  $(n+1)$ -й разряд  $z_{i,n+1}''$  вектора  $Z_i''$  в соответствии с выражением

$$z_{i,n+1}'' = z_{i,n}' \wedge \overline{h_n},$$

где  $z_{i,n}'$  -  $n$ -й разряд вектора  $Z_i'$ , хранящийся в триггере 82  $i$ -й ячейки  $n$ -го столбца матрицы умножения 77,  $h_n$  -  $n$ -й разряд управляющего слова  $H$  ( $i=1,2,\dots,N/2$  и  $n=1,2,\dots,N$ ). Из данного выражения следует, что вектор  $Z_i''$  равен  $2 \times Z_i'$  и имеет точно такой же формат, что и вектор  $Z_i'$ .

Элементы И 90 и 91 и элемент ИЛИ 92, входящие в состав схем формирования разряда частичного произведения 84 ячеек  $i$ -й строки матрицы умножения 77, образуют  $N$ -разрядный коммутатор, на выход которого при  $one_i=1$  и  $two_i=0$  проходит вектор  $Z_i'$ , при  $one_i=0$  и  $two_i=1$  - вектор  $Z_i''$ , а при  $one_i=0$  и  $two_i=0$  - вектор с нулевыми значениями всех разрядов. Таким образом, на выходах данного коммутатора формируется вектор  $P_i'$ , который при  $sub_i=0$  равен вектору частичных произведений  $P_i$ , а при  $sub_i=1$  равен  $-P_i$ .

Изменение знака каждого элемента вектора  $P_i'$ , необходимое для получения вектора  $P_i$  при  $sub_i=1$ , может быть выполнено путем инвертирования каждого разряда вектора  $P_i'$  и прибавления единицы к каждому элементу инвертированного вектора. Элементы ИСКЛЮЧАЮЩЕЕ ИЛИ 93, входящие в состав схем формирования разряда частичного произведения 84 ячеек  $i$ -й строки матрицы умножения 77, выполняют функции инверторов, управляемых сигналом  $sub_i$ . При  $sub_i=0$ , вектор  $P_i'$  проходит через элементы ИСКЛЮЧАЮЩЕЕ ИЛИ 93 на выходы схем формирования разряда частичного произведения 84 ячеек  $i$ -й строки матрицы умножения 77 без изменений. При  $sub_i=1$  элементы ИСКЛЮЧАЮЩЕЕ ИЛИ 93 инвертируют каждый разряд этого век-

тора. Таким образом, на выходах схем формирования разряда частичного произведения 84 ячеек  $i$ -й строки матрицы умножения 77 формируется  $N$ -разрядный вектор  $P_i''$ , имеющий точно такой же формат, что и векторы  $X$ ,  $Z_1'$ ,  $Z_2'$ , ...,  $Z_{N/2}'$ , и удовлетворяющий выражению:

$$5 \quad P_i'' + SUB_i = P_i,$$

где  $SUB_i$  -  $N$ -разрядный вектор,  $m$ -м элементом которого является  $N_m$ -разрядный операнд  $(00...0 sub_i)_b$ , младший разряд которого равен  $sub_i$ , а остальные разряды имеют нулевые значения.

Одноразрядные сумматоры 85 и мультиплексоры 86 ячеек матрицы умножения 77 служат для формирования двухрядного кода суммы векторов  $X$ ,  $P_1''$ ,  $P_2''$ , ...,  $P_{N/2}''$ ,  $SUB_1$ ,  $SUB_2$ , ...,  $SUB_{N/2}$ . В данной схеме собственно сложение выполняется с помощью одноразрядных сумматоров 85, как и в обычных схемах сложения  $N/2+1$  операндов, построенных на основе сумматоров с отложенными переносами. Мультиплексоры 86 служат для замены сигналов переноса между столбцами одноразрядных сумматоров 85, выполняющих сложение различных элементов векторов, на сигналы  $sub_1$ ,  $sub_2$ , ...,  $sub_{N/2}$ . Если  $(q-1)$ -й разряд  $h_{q-1}$  управляющего слова  $H$  равен нулю, то мультиплексоры 86 ячеек  $(q-1)$ -го столбца матрицы умножения 77 пропускают на соответствующие входы одноразрядных сумматоров 85 ячеек  $q$ -го столбца матрицы умножения 77 сигналы с выходов переноса одноразрядных сумматоров 85 ячеек  $(q-1)$ -го столбца матрицы умножения 77 ( $q=2,3,...,N$ ). Если  $(q-1)$ -й разряд  $h_{q-1}$  управляющего слова  $H$  равен единице, то мультиплексоры 86 ячеек  $(q-1)$ -го столбца матрицы умножения 77 пропускают на соответствующие входы одноразрядных сумматоров 85 ячеек  $q$ -го столбца матрицы умножения 77 сигналы  $sub_1$ ,  $sub_2$ , ...,  $sub_{N/2}$  с выходов дешифраторов разрядов множителя 76 ( $q=2,3,...,N$ ). В результате на выходах 28 и 29 устройства формируются векторы  $A$  и  $B$ , сумма равна

$$A + B = X + \sum_{i=1}^{N/2} (P_i'' + SUB_i) = X + \sum_{i=1}^{N/2} P_i = X + \sum_{i=1}^{N/2} Y_i' \times Z_i'$$

Сгруппировав частичные произведения, относящиеся к отдельным элементам вектора  $Y$ , последнее выражение можно представить в следующем виде

$$A + B = X + \sum_{k=1}^K \sum_{j=1}^{N_k/2} Y_{l_{k-1}+j}' \times Z_{l_{k-1}+j}' = X + \sum_{k=1}^K \sum_{j=1}^{N_k/2} Y_{l_{k-1}+j}' \times Z_k \times 2^{2(j-1)}.$$

С учетом того, что каждый  $k$ -й элемент вектора  $Y$  равен

$$Y_k = \sum_{j=1}^{N_k/2} Y'_{1_{k-1}+j} \times 2^{2(j-1)},$$

предыдущее выражение преобразуется следующим образом:

$$A + B = X + \sum_{k=1}^K Y_k \times Z_k.$$

Таким образом, на выходах 28 и 29 устройства формируется двухрядный код  
5 результата операции  $X + Y \times Z$ .

Вычислительное устройство ориентировано на пакетную обработку векторов  
данных, при которой множество векторов входных операндов, подаваемых последо-  
вательно на каждый из входов 19 и 20 устройства, разбивается на последовательно  
обрабатываемые подмножества (пакеты). Совокупность векторов входных операндов,  
10 подаваемых на каждый из входов 19 и 20 устройства и входящих в  $\tau$ -й пакет, можно  
представить в виде вектора векторов данных:

$$X^\tau = \begin{pmatrix} X^{\tau,1} \\ X^{\tau,2} \\ \vdots \\ X^{\tau,T_\tau} \end{pmatrix}, \quad Y^\tau = \begin{pmatrix} Y^{\tau,1} \\ Y^{\tau,2} \\ \vdots \\ Y^{\tau,T_\tau} \end{pmatrix},$$

где  $T_\tau$  - количество векторов, входящих в состав каждого  $\tau$ -го пакета. Причем все век-  
торы, входящие в состав одного пакета должны иметь одинаковый формат, то есть  
15 информация, подаваемая на управляющие входы 22 и 23 устройства, не должна изме-  
няться в процессе обработки одного пакета векторов.

Обработка  $\tau$ -х пакетов  $X^\tau$  и  $Y^\tau$  выполняется за  $T_\tau$  тактов. При этом в каждом  $t$ -  
м такте вычислительное устройство выполняет операцию

$$A^{\tau,t} + B^{\tau,t} = X^{\tau,t} + Y^{\tau,t} \times Z^\tau \quad (t=1,2,\dots,T_\tau),$$

20 где  $Z^\tau$  - содержимое второго блока памяти устройства, которое в процессе обработки  
 $\tau$ -х пакетов  $X^\tau$  и  $Y^\tau$  должно оставаться неизменным.

Одновременно с обработкой  $\tau$ -х пакетов векторов выполняется описанная вы-  
ше процедура последовательной загрузки векторов  $Z_1^{\tau+1}, Z_2^{\tau+1}, \dots, Z_K^{\tau+1}$  с входов 21  
устройства в первый блок памяти устройства. Данная процедура выполняется за  $N/2$   
25 тактов.

По окончании обоих указанных процессов на управляющий вход 27 нейропро-  
цессора подается активный сигнал, инициирующий пересылку матрицы  $Z^{\tau+1}$  из перво-



го во второй блок памяти устройства. Данная пересылка выполняется за один такт. После этого устройство переходит к процедурам обработки  $(\tau+1)$ -х пакетов векторов  $X^{\tau+1}$  и  $Y^{\tau+1}$  и загрузки матрицы  $Z^{\tau+2}$ .

- Количество векторов  $T_\tau$  в каждом  $\tau$ -м пакете может задаваться программно.
- 5 При этом нецелесообразно использовать пакеты векторов с  $T_\tau$  меньшим, чем  $N/J+2$ , так как при этом будут простаивать вычислительные средства нейропроцессора.

Сумматор, схема которого представлена на фиг.9, имеет входы разрядов вектора первых 31 и вектора вторых 32 слагаемых, входы установки границ данных в векторах слагаемых и сумм 33 и выходы разрядов вектора сумм 34. Каждый из  $N$  разрядов 94 сумматора содержит полусумматор 95, логический элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 96, первый 97 и второй 98 логические элементы ЗАПРЕТ. В состав сумматора входит также схема формирования переносов 99.

10

Входы разрядов вектора первых слагаемых 31 сумматора и входы разрядов вектора вторых слагаемых 32 сумматора подключены соответственно к первым и вторым входам полусумматоров 95 разрядов 94 сумматора. Инверсные входы первого 97 и второго 98 элементов ЗАПРЕТ каждого разряда 94 сумматора объединены и подключены к соответствующему входу установки границ данных в векторах слагаемых и сумм 33 сумматора. Выходы элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 96 разрядов 94 сумматора являются выходами разрядов вектора сумм 34 сумматора. Выход первого элемента ЗАПРЕТ 97 каждого разряда 94 сумматора соединен с входом распространения переноса через соответствующий разряд схемы формирования переносов 99, вход генерации переноса в каждом разряде которой соединен с выходом второго элемента ЗАПРЕТ 98 соответствующего разряда 94 сумматора. Второй вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 96  $q$ -го разряда 94 сумматора соединен с выходом переноса в  $q$ -й разряд схемы формирования переносов 99 (где  $q=2,3,\dots,N$ ), вход начального переноса которой и второй вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 96 первого разряда 94 сумматора подключены к шине логического нуля. В каждом разряде 94 сумматора выход суммы полусумматора 95 соединен с первым входом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 96 и прямым входом первого элемента ЗАПРЕТ 97, а выход переноса полусумматора 95 соединен с прямым входом второго элемента ЗАПРЕТ 98.

20

25

30

Сумматор 31 работает следующим образом.

На входы 31 сумматора подаются разряды вектора первых слагаемых  $A = (A_1 \ A_2 \ \dots \ A_M)$ . Вектор  $A$  представляет собой  $N$ -разрядное слово, в котором упаковано  $M$  данных, представленных в дополнительном коде и являющихся элементами этого вектора. При этом младшие разряды вектора  $A$  являются разрядами первого данного  $A_1$ , далее следуют разряды второго данного  $A_2$  и т.д. Старшие разряды вектора  $A$  являются разрядами  $M$ -го данного  $A_M$ . При такой упаковке  $v$ -й разряд  $m$ -го данного  $A_m$  является  $(v + \sum_{\mu=1}^{m-1} N_{\mu})$ -м разрядом вектора  $A$ , где  $N_m$  -разрядность  $m$ -го данного  $A_m$  вектора  $A$ ,  $v=1,2,\dots,N_m$ ,  $m=1,2,\dots,M$ . Количество данных  $M$  в векторе  $A$  и количество разрядов  $N_m$  в каждом  $m$ -м данном  $A_m$  этого вектора могут принимать любые целочисленные значения от 1 до  $N$  ( $m=1,2,\dots,M$ ). Единственное ограничение заключается в том, что суммарная разрядность всех данных, упакованных в одном векторе  $A$ , должна быть равна его разрядности:

$$\sum_{m=1}^M N_m = N.$$

На входы 32 сумматора подаются разряды  $N$ -разрядного вектора вторых слагаемых  $B = (B_1 \ B_2 \ \dots \ B_M)$ , который имеет точно такой же формат, что и вектор  $A$ .

Настройка аппаратуры сумматора на обработку векторов требуемых форматов обеспечивается путем подачи на его входы 33  $N$ -разрядного управляющего слова  $H$ . При этом единичное значение  $n$ -го разряда  $h_n$  слова  $H$  означает, что сумматор будет рассматривать  $n$ -й разряд каждого из векторов  $A$  и  $B$ , как старший разряд соответствующего элемента данного вектора. Количество единичных битов в слове  $H$  равно количеству элементов в каждом из векторов  $A$  и  $B$  (здесь и ниже  $n=1,2,\dots,N$ ):

$$\sum_{n=1}^N h_n = M.$$

В  $n$ -м разряде 94 сумматора на входы полусумматора 95 подаются  $n$ -й разряд  $a_n$  вектора  $A$  и  $n$ -й разряд  $b_n$  вектора  $B$ . На выходах суммы и переноса этого полусумматора 95 формируются вспомогательные сигналы распространения  $p_n$  и генерации  $g_n$  переноса для данного разряда 94 сумматора:

$$p_n = a_n \oplus b_n, \quad g_n = a_n \wedge b_n.$$

Сигналы  $p_n$  и  $g_n$  поступают на прямые входы соответственно первого 97 и второго 98 элементов ЗАПРЕТ, на инверсные входы которых подается  $n$ -й разряд  $h_n$  управляющего слова  $H$ . Если  $n$ -е разряды  $a_n$  и  $b_n$  векторов  $A$  и  $B$  не являются знаковыми разрядами отдельных элементов, составляющих данные векторы, то  $h_n=0$ , и сигналы  $p_n$  и  $g_n$  проходят на выходы элементов ЗАПРЕТ 97 и 98 без изменения. Если  $n$ -е разряды  $a_n$  и  $b_n$  векторов  $A$  и  $B$  являются знаковыми разрядами их элементов, то  $h_n=1$ , и на выходах элементов ЗАПРЕТ 97 и 98 устанавливаются нулевые значения сигналов. Таким образом, элементы ЗАПРЕТ 97 и 98 служат для блокировки сигналов генерации и распространения переносов в тех разрядах 94 сумматора, которые обрабатывают старшие разряды отдельных элементов входных векторов  $A$  и  $B$ .

Сигналы с выходов элементов ЗАПРЕТ 97 и 98 поступают на входы распространения и генерации переносов схемы 99, которая служит для ускоренного формирования сигналов переноса в отдельные разряды сумматора. В качестве схемы 99 может быть использована любая известная схема обходного, группового или последовательного переноса, применяемая в обычных двухоперандных сумматорах. На выходах схемы 99 формируются сигналы переносов в отдельные разряды сумматора в соответствии с выражением  $c_{n+1} = g_n \vee p_n \wedge c_n$ . Поэтому, если  $h_n=1$ , то  $p_n = g_n = 0$ , и схема 99 будет формировать сигнал  $c_{n+1} = 0$ .

Сигналы переносов, сформированные схемой 99, поступают на входы элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 96 соответствующих разрядов 94 сумматора, на другие входы которых поступают сигналы распространения переносов с выходов суммы полусумматоров 95. На выходе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 96 каждого  $n$ -го разряда 94 сумматора формируется сигнал  $s_n = p_n \oplus c_n$ . Таким образом на выходах 34 сумматора формируется вектор  $S = (S_1 \ S_2 \ \dots \ S_M)$ , каждый элемент которого равен сумме соответствующих элементов векторов  $A$  и  $B$ :

$$S_m = A_m + B_m \quad (m=1,2,\dots,M).$$

Причем вектор  $S$  будет иметь точно такой же формат, что и векторы  $A$  и  $B$ .

### ПРОМЫШЛЕННАЯ ПРИМЕНИМОСТЬ.

Достижимый технический результат изобретения заключается в повышении производительности нейропроцессора путем обеспечения возможности программно изменять как разрядности входных операндов, так и разрядности результатов.

Специфика предлагаемого нейропроцессора заключается в том, что при его использовании пользователь может программно задавать следующие параметры нейронной сети: число слоев, число нейронов и нейронных входов в каждом слое, разрядность данных на каждом нейронном входе, разрядность каждого весового коэффициента, разрядность выходного значения каждого нейрона, параметр функции насыщения для каждого нейрона.

Один нейропроцессор позволяет эмулировать нейронную сеть практически неограниченных размеров. Эмуляция нейронной сети осуществляется послойно (последовательно слой за слоем).

Каждый слой нейронной сети разбивается на последовательно обрабатываемые фрагменты. Каждый фрагмент обрабатывается за один процессорный такт. Чем меньше разрядность входных данных и весовых коэффициентов, тем больший фрагмент нейронной сети обрабатывается за один такт. Несколько нейропроцессоров могут использоваться для эмуляции одной нейронной сети, что позволяет в несколько раз уменьшить длительность процесса эмуляции.

Достижимый технический результат может быть усилен путем уменьшения длительности процессорного такта, за счет введения регистров входных данных в каждое из устройств для вычисления входных функций насыщения, вычислительное устройство и сумматор. Данные регистры выполняют функции конвейерных регистров, что позволяет практически в три раза уменьшить длительность процессорного такта.

Исполнительными узлами нейропроцессора являются устройства для вычисления функций насыщения, вычислительное устройство и сумматор. Каждое исполнительное устройство осуществляет обработку векторов данных программируемой разрядности. Причем данные исполнительные узлы могут использовать как в составе предлагаемого нейропроцессора, так и в других устройствах векторной обработки данных.

Достижимый технический результат изобретения заключается в повышении производительности устройства для вычисления функций насыщения путем обеспечения возможности одновременной обработки вектора входных операндов программируемой разрядности. При этом, в устройстве для вычисления функций насыщения используются цепи ускоренного и обходного переноса, в результате чего задержка

переключения данного устройства приблизительно равна задержке обычного двух-операндного сумматора.

Достижимый технический результат изобретения заключается в расширении функциональных возможностей вычислительного устройства. Данное устройство  
5 может за один такт выполнять операцию умножения матрицы данных на вектор данных программируемой разрядности. Причем, данная операция выполняется за один такт, длительность которого равна задержке переключения обычного матричного умножителя двух операндов (array multiplier).

Достижимый технический результат изобретения заключается в повышении  
10 производительности сумматора путем введения в состав выполняемых им операций арифметических операций над векторами данных программируемой разрядности. В отличие от известных сумматоров векторов данных, в предложенном сумматоре блокировка сигнала переноса между разрядами сумматора, обрабатывающими соседние операнды входных векторов, осуществляется на уровне формирования вспомога-  
15 тельных функций генерации и распространения переноса. Это позволяет использовать в сумматоре схемы распространения переноса, применяемые в обычных двухоперандных сумматорах. Поэтому предложенный сумматор, предназначенный для сложения векторов данных программируемой разрядности, имеет практически такую же задержку переключения, что и двухоперандные сумматоры.

20 Предложенный нейропроцессор может эффективно использоваться для вычисления рекурсивных и нерекурсивных сверток, выполнения преобразования Адамара, быстрого и дискретного преобразования Фурье, а так же для выполнения других алгоритмов цифровой обработки сигналов.

Нейропроцессор может быть изготовлен в качестве самостоятельной микро-  
25 схемы или входить в состав вычислительных систем в качестве сопроцессора.

## Формула изобретения

1. Нейропроцессор, содержащий первый, второй и третий регистры, первый блок памяти магазинного типа и мультиплексор, первый информационный вход каждого разряда которого соединен с выходом соответствующего разряда первого регистра, информационный вход каждого разряда второго регистра подключен к соответствующему разряду первой входной шины нейропроцессора, входы управления первого, второго и третьего регистров являются соответствующими управляющими входами нейропроцессора, *отличающийся* тем, что в него введены четвертый, пятый и шестой регистры, сдвиговый регистр, логический элемент И, второй блок памяти магазинного типа, коммутатор с трех направлений в два, два устройства для вычисления функций насыщения, сумматор и вычислительное устройство, имеющее входы разрядов вектора первых операндов, входы разрядов вектора вторых операндов, входы разрядов вектора третьих операндов, входы установки границ данных в векторах первых операндов и результатов, входы установки границ данных в векторах вторых операндов, входы установки границ данных в векторах третьих операндов, первый и второй входы управления загрузкой векторов третьих операндов в первый блок памяти, вход управления пересылкой матрицы третьих операндов из первого блока памяти во второй блок памяти и выходы разрядов вектора первых и вектора вторых слагаемых результатов операции сложения вектора первых операндов с произведением вектора вторых операндов на матрицу третьих операндов, хранящуюся во втором блоке памяти, причем первые информационные входы разрядов коммутатора с трех направлений в два, информационные входы первого блока памяти магазинного типа, первого, третьего и четвертого регистров и параллельные информационные входы сдвигового регистра поразрядно объединены и подключены к соответствующим разрядам первой входной шины нейропроцессора, каждый разряд второй входной шины которого соединен с вторым информационным входом соответствующего разряда коммутатора с трех направлений в два, первый выход каждого разряда которого соединен с входом соответствующего разряда вектора входных операндов первого устройства для вычисления функций насыщения, управляющий вход каждого разряда которого соединен с выходом соответствующего разряда второго регистра, второй выход каждого разряда коммутатора с трех направлений в два соединен с входом соответствующего разряда вектора входных операндов второго устройства для вычисления

функций насыщения, управляющий вход каждого разряда которого соединен с выходом соответствующего разряда третьего регистра, выход каждого разряда вектора результатов первого устройства для вычисления функций насыщения соединен с вторым информационным входом соответствующего разряда мультиплексора, выход каждого разряда которого соединен с входом соответствующего разряда вектора первых операндов вычислительного устройства, вход каждого разряда вектора вторых операндов которого соединен с выходом соответствующего разряда вектора результатов второго устройства для вычисления функций насыщения, информационные выходы первого блока памяти магазинного типа соединены с входами соответствующих разрядов вектора третьих операндов вычислительного устройства, выход каждого разряда вектора первых слагаемых результатов операции сложения вектора первых операндов с произведением вектора вторых операндов на матрицу третьих операндов, хранящуюся во втором блоке памяти, которого соединен с входом соответствующего разряда вектора первых слагаемых сумматора, вход каждого разряда вектора вторых слагаемых которого соединен с выходом соответствующего разряда вектора вторых слагаемых результатов операции сложения вектора первых операндов с произведением вектора вторых операндов на матрицу третьих операндов, хранящуюся во втором блоке памяти, вычислительного устройства, каждый вход установки границ данных в векторах первых операндов и результатов которого соединен с выходом соответствующего разряда пятого регистра и с соответствующим входом установки границ данных в векторах слагаемых и сумм сумматора, выход каждого разряда вектора сумм которого соединен с соответствующим информационным входом второго блока памяти магазинного типа, каждый информационный выход которого подключен к соответствующему разряду выходной шины нейропроцессора и соединен с третьим входом соответствующего разряда коммутатора с трех направлений в два, выход каждого разряда четвертого регистра соединен с информационным входом соответствующего разряда пятого регистра и соответствующим входом установки границ данных в векторах третьих операндов вычислительного устройства, каждый вход установки границ данных в векторах вторых операндов которого соединен с выходом соответствующего разряда шестого регистра, информационный вход каждого разряда которого соединен с выходом соответствующего разряда сдвигового регистра, последовательные информационные вход и выход которого объединены и подключены к первому входу управления загрузкой векторов третьих операндов в первый блок па-

5 памяти вычислительного устройства и к первому входу элемента И, выход которого соединен с входом управления чтением первого блока памяти магазинного типа, второй вход элемента И, вход управления сдвигом сдвигового регистра и второй вход управления загрузкой векторов третьих операндов в первый блок памяти вычислительного  
10 устройства объединены и подключены к соответствующему управляющему входу нейропроцессора, вход управления пересылкой матрицы третьих операндов из первого блока памяти во второй блок памяти вычислительного устройства и входы управления пятого и шестого регистров объединены и подключены к соответствующему управляющему входу нейропроцессора, управляющие входы коммутатора с трех на-  
15 правлений в два, мультиплексора и четвертого регистра, входы управления записью сдвигового регистра и первого блока памяти магазинного типа и входы управления чтением и записью второго блока памяти магазинного типа являются соответствующими управляющими входами нейропроцессора, выходы состояния первого и второго блоков памяти магазинного типа являются выходами состояния нейропроцессора.

15 2. Нейропроцессор по п.1, *отличающийся* тем, что вычислительное устройство содержит сдвиговый регистр, выполняющий за один такт арифметический сдвиг всех операндов хранящегося в нем N-разрядного вектора на J разрядов влево, где J - минимальная величина, которой кратны разрядности данных в векторах вторых операндов вычислительного устройства, элемент задержки, первый блок памяти, имею-  
20 щий порт ввода магазинного типа и содержащий N/J ячеек для хранения N-разрядных данных, второй блок памяти, содержащий N/J ячеек для хранения N-разрядных данных, N/J блоков умножения, каждый из которых умножает N-разрядный вектор данных программируемой разрядности на J-разрядный множитель, и схему сложения векторов, формирующую двухрядный код суммы N/J+1 векторов данных программи-  
25 руемой разрядности, причем входы разрядов вектора третьих операндов вычислительного устройства подключены к информационным входам сдвигового регистра, выходы которого соединены с информационными входами первого блока памяти, выходы каждой ячейки которого соединены с информационными входами соответствующей ячейки второго блока памяти, выходы каждой ячейки которого соединены с  
30 входами разрядов вектора множимых соответствующего блока умножения, входы разрядов множителя которого подключены к входам соответствующей J-разрядной группы разрядов вектора вторых операндов вычислительного устройства, выходы каждого блока умножения соединены с входами разрядов соответствующего вектора



слагаемых схемы сложения векторов, входы разрядов  $(N/J+1)$ -го вектора слагаемых которой подключены к входам разрядов вектора первых операндов вычислительного устройства, входы установки границ данных в векторах третьих операндов которого подключены к соответствующим входам установки границ данных в векторах операндов сдвигового регистра, вход режима работы которого подключен к первому входу управления загрузкой векторов третьих операндов в первый блок памяти вычислительного устройства, второй вход управления загрузкой векторов третьих операндов в первый блок памяти которого подключен к тактовому входу сдвигового регистра и входу элемента задержки, выход которого соединен с входом управления записью первого блока памяти, вход управления записью второго блока памяти подключен к входу управления пересылкой матрицы третьих операндов из первого блока памяти во второй блок памяти вычислительного устройства, каждый вход установки границ данных в векторах вторых операндов которого подключен к входу знаковой коррекции соответствующего блока умножения, входы установки границ данных в векторах первых операндов и результатов вычислительного устройства подключены к входам установки границ данных в векторах множимых и результатов каждого блока умножения и к входам установки границ данных в векторах слагаемых и результатов схемы сложения векторов, выходы разрядов векторов первых и вторых слагаемых результатов которой являются соответствующими выходами вычислительного устройства.

3. Нейропроцессор по п.1, *отличающийся* тем, что каждое из устройств для вычисления функций насыщения содержит регистр входных данных, информационные входы которого являются входами соответствующих разрядов вектора входных операндов этого устройства, вычислительное устройство содержит регистр входных данных, информационные входы которого являются входами соответствующих разрядов векторов первых и вторых операндов вычислительного устройства, сумматор содержит регистр входных данных, информационные входы которого являются соответствующими входами сумматора.

4. Устройство для вычисления функций насыщения, содержащее в каждом из  $N$  разрядов первый мультиплексор, второй информационный вход которого подключен к входу соответствующего разряда вектора входных операндов устройства, выход каждого разряда вектора результатов которого подключен к выходу первого мультиплексора соответствующего разряда устройства, *отличающееся* тем, что в него введе-

ны схема распространения переносов и схема формирования переносов, а в его каждый разряд введены второй мультиплексор и логические элементы ИСКЛЮЧАЮЩЕЕ ИЛИ, РАВНОЗНАЧНОСТЬ, И-НЕ и ЗАПРЕТ, причем прямой вход элемента ЗАПРЕТ и первые входы элементов И-НЕ и РАВНОЗНАЧНОСТЬ каждого разряда

5 устройства объединены и подключены к соответствующему управляющему входу устройства, выход элемента И-НЕ  $n$ -го разряда устройства соединен с входом распространения переноса через  $(N-n+1)$ -й разряд схемы формирования переносов, выход переноса в  $(N-n+2)$ -й разряд которой соединен с управляющим входом первого мультиплексора  $n$ -го разряда устройства, выход элемента ЗАПРЕТ которого соединен с

10 управляющим входом второго мультиплексора этого же разряда устройства, входом генерации переноса в  $(N-n+1)$ -м разряде схемы формирования переносов и инверсным входом распространения переноса через  $(N-n+1)$ -й разряд схемы распространения переносов, вход переноса из  $(N-n+1)$ -го разряда которой соединен с выходом второго мультиплексора  $n$ -го разряда устройства (где  $n=1,2,...,N$ ), первый вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ и прямой вход элемента ЗАПРЕТ  $q$ -го разряда устройства

15 соединены соответственно с вторым входом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ и инверсным входом элемента ЗАПРЕТ  $(q-1)$ -го разряда устройства, первый информационный вход второго мультиплексора которого соединен с выходом переноса в  $(N-q+2)$ -й разряд схемы распространения переносов (где  $q=2,3,...,N$ ), входы начальных

20 переносов схемы распространения переносов и схемы формирования переносов, второй вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, инверсный вход элемента ЗАПРЕТ и первый информационный вход второго мультиплексора  $N$ -го разряда устройства объединены и подключены к шине логического нуля, а в каждом разряде устройства выход второго мультиплексора соединен с вторым входом элемента РАВНОЗНАЧ-

25 НОСТЬ, выход которого соединен с первым информационным входом первого мультиплексора, второй информационный вход которого соединен с вторым информационным входом второго мультиплексора и первым входом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, выход которого соединен с вторым входом элемента И-НЕ этого же разряда устройства.

30 5. Устройство по п.4, *отличающееся* тем, что в схеме распространения переносов выход переноса в  $q$ -й разряд соединен с входом переноса из  $(q-1)$ -го разряда (где  $q=2,3,...,N$ ).

6. Устройство по п.4, *отличающееся* тем, что схема формирования переносов содержит по  $N$  логических элементов И и ИЛИ, причем каждый вход распространения переноса через соответствующий разряд схемы подключен к первому входу соответствующего элемента И, выход которого соединен с первым входом соответствующего элемента ИЛИ, второй вход и выход которого подключены соответственно к входу генерации переноса в соответствующем разряде схемы и выходу переноса в этот же разряд схемы; второй вход первого элемента И является входом начального переноса схемы, второй вход  $q$ -го элемента И соединен с выходом  $(q-1)$ -го элемента ИЛИ (где  $q=2,3,\dots,N$ ).

7. Вычислительное устройство, содержащее  $N/2$  дешифраторов разрядов множителя и матрицу умножения из  $N$  столбцов по  $N/2$  ячеек, каждая из которых состоит из схемы формирования разряда частичного произведения и одноразрядного сумматора, причем соответствующие управляющие входы схем формирования разряда частичного произведения  $i$ -х ячеек всех столбцов матрицы умножения объединены и подключены к соответствующим выходам  $i$ -го дешифратора разрядов множителя (где  $i=1,2,\dots,N/2$ ), первый вход одноразрядного сумматора каждой ячейки матрицы умножения соединен с выходом схемы формирования разряда частичного произведения этой же ячейки матрицы умножения, *отличающееся* тем, что в него введены  $N/2$  логических элементов ЗАПРЕТ, элемент задержки и  $N$ -разрядный сдвиговый регистр, каждый разряд которого состоит из логического элемента ЗАПРЕТ, мультиплексора и триггера, а в каждую ячейку матрицы умножения введены первый и второй триггеры, выполняющие функции ячеек памяти соответственно первого и второго блоков памяти устройства, логический элемент ЗАПРЕТ и мультиплексор, причем вход каждого разряда вектора первых операндов устройства подключен к второму входу одноразрядного сумматора первой ячейки соответствующего столбца матрицы умножения, управляющие входы мультиплексоров и инверсные входы элементов ЗАПРЕТ всех ячеек каждого столбца которой объединены и подключены к соответствующему входу установки границ данных в векторах первых операндов и результатов устройства, каждый вход установки границ данных в векторах вторых операндов которого подключен к инверсному входу соответствующего элемента ЗАПРЕТ, выход которого соединен с первым входом соответствующего дешифратора разрядов множителя, второй и третий входы  $i$ -го дешифратора разрядов множителя подключены к входам соответственно  $(2i-1)$ -го и  $(2i)$ -го разрядов вектора вторых операндов устройства (где

$i=1,2,\dots,N/2$ ), прямой вход  $j$ -го элемента ЗАПРЕТ соединен с третьим входом  $(j-1)$ -го дешифратора разрядов множителя (где  $j=2,3,\dots,N/2$ ), вход каждого разряда вектора третьих операндов устройства подключен к второму информационному входу мультиплексора соответствующего разряда сдвигового регистра, первый информационный вход которого соединен с выходом элемента ЗАПРЕТ этого же разряда сдвигового регистра, первый инверсный вход которого подключен к соответствующему входу установки границ данных в векторах третьих операндов устройства, второй инверсный вход элемента ЗАПРЕТ  $q$ -го разряда сдвигового регистра соединен с первым инверсным входом элемента ЗАПРЕТ  $(q-1)$ -го разряда сдвигового регистра (где  $q=2,3,\dots,N$ ), прямой вход элемента ЗАПРЕТ  $r$ -го разряда сдвигового регистра соединен с выходом триггера  $(r-2)$ -го разряда сдвигового регистра (где  $r=3,4,\dots,N$ ), управляющие входы мультиплексоров всех разрядов сдвигового регистра объединены и подключены к первому входу управления загрузкой векторов третьих операндов в первый блок памяти устройства, входы синхронизации триггеров всех разрядов сдвигового регистра и вход элемента задержки объединены и подключены к второму входу управления загрузкой векторов третьих операндов в первый блок памяти устройства, выход мультиплексора каждого разряда сдвигового регистра соединен с информационным входом триггера этого же разряда сдвигового регистра, выход которого соединен с информационным входом первого триггера последней ячейки соответствующего столбца матрицы умножения, выход первого триггера  $j$ -й ячейки каждого столбца матрицы умножения соединен с информационным входом первого триггера  $(j-1)$ -й ячейки этого же столбца матрицы умножения (где  $j=2,3,\dots,N/2$ ), входы синхронизации первых триггеров всех ячеек матрицы умножения объединены и подключены к выходу элемента задержки, входы синхронизации вторых триггеров всех ячеек матрицы умножения объединены и подключены к входу управления пересылкой матрицы третьих операндов из первого блока памяти во второй блок памяти устройства, второй информационный вход схемы формирования разряда частичного произведения  $i$ -й ячейки  $q$ -го столбца матрицы умножения соединен с выходом элемента ЗАПРЕТ  $i$ -й ячейки  $(q-1)$ -го столбца матрицы умножения (где  $i=1,2,\dots,N/2$  и  $q=2,3,\dots,N$ ), второй вход одноразрядного сумматора  $j$ -й ячейки каждого столбца матрицы умножения соединен с выходом суммы одноразрядного сумматора  $(j-1)$ -й ячейки этого же столбца матрицы умножения (где  $j=2,3,\dots,N/2$ ), третий вход одноразрядного сумматора  $j$ -й ячейки  $q$ -го столбца матрицы умножения соединен с выходом мультиплексора  $(j-1)$ -й

ячейки  $(q-1)$ -го столбца матрицы умножения (где  $j=2,3,\dots,N/2$  и  $q=2,3,\dots,N$ ), третий вход одноразрядного сумматора  $j$ -й ячейки первого столбца матрицы умножения соединен с третьим выходом  $(j-1)$ -го дешифратора разрядов множителя (где  $j=2,3,\dots,N/2$ ), выход суммы одноразрядного сумматора последней ячейки каждого столбца матрицы умножения является выходом соответствующего разряда вектора  
5 первых слагаемых результатов устройства, выход мультиплексора последней ячейки  $(q-1)$ -го столбца матрицы умножения является выходом  $q$ -го разряда вектора вторых слагаемых результатов устройства (где  $q=2,3,\dots,N$ ), первый разряд вектора вторых слагаемых результатов которого подключен к третьему выходу  $(N/2)$ -го дешифратора разрядов множителя, второй инверсный и прямой входы элемента ЗАПРЕТ первого  
10 разряда и прямой вход элемента ЗАПРЕТ второго разряда сдвигового регистра, вторые информационные входы схем формирования разряда частичного произведения всех ячеек первого столбца матрицы умножения, третьи входы одноразрядных сумматоров первых ячеек всех столбцов матрицы умножения и прямой вход первого эле-  
15 мента ЗАПРЕТ объединены и подключены к шине логического нуля, а в каждой ячейке матрицы умножения выход первого триггера соединен с информационным входом второго триггера, выход которого соединен с прямым входом элемента ЗА-  
ПРЕТ и первым информационным входом схемы формирования разряда частичного  
15 произведения, третий управляющий вход которой соединен с вторым информацион-  
ным входом мультиплексора, первый информационный вход которого соединен с  
20 выходом переноса одноразрядного сумматора этой же ячейки матрицы умножения.

8. Сумматор, содержащий схему формирования переносов, а в каждом из  $N$  своих разрядов - полусумматор и логический элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, при-  
чем вход каждого разряда вектора первых слагаемых сумматора и вход соответ-  
25 ствующего разряда вектора вторых слагаемых сумматора подключены соответственно к  
первому и второму входам полусумматора соответствующего разряда сумматора, вы-  
ход суммы которого соединен с первым входом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ  
этого же разряда сумматора, выход которого является выходом соответствующего  
разряда вектора сумм сумматора, второй вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ  $q$ -го  
30 разряда сумматора соединен с выходом переноса в  $q$ -й разряд схемы формирования  
переносов (где  $q=2,3,\dots,N$ ), вход начального переноса которой и второй вход элемента  
ИСКЛЮЧАЮЩЕЕ ИЛИ первого разряда сумматора подключены к шине логического  
нуля, *отличающийся* тем, что в каждый его разряд введены первый и второй логиче-

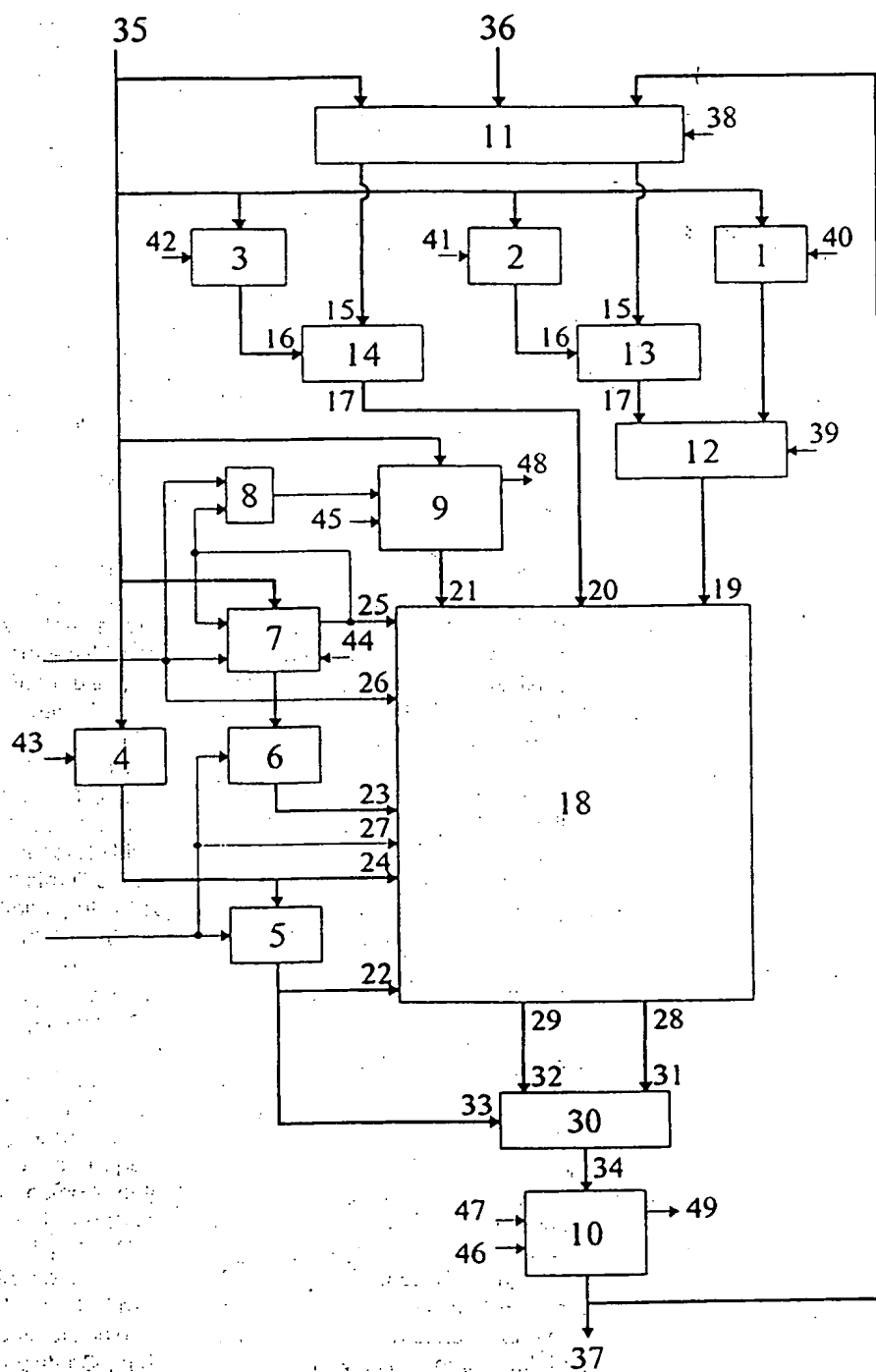
ские элементы ЗАПРЕТ, причем выход суммы полусумматора каждого разряда сумматора соединен с прямым входом первого элемента ЗАПРЕТ этого же разряда сумматора, выход которого соединен с входом распространения переноса через соответствующий разряд схемы формирования переносов, выход переноса полусумматора каждого разряда сумматора соединен с прямым входом второго элемента ЗАПРЕТ этого же разряда сумматора, выход которого соединен с входом генерации переноса в соответствующем разряде схемы формирования переносов, инверсные входы первого и второго элементов ЗАПРЕТ каждого разряда сумматора объединены и подключены к соответствующему входу установки границ данных в векторах слагаемых и сумм сумматора.

15

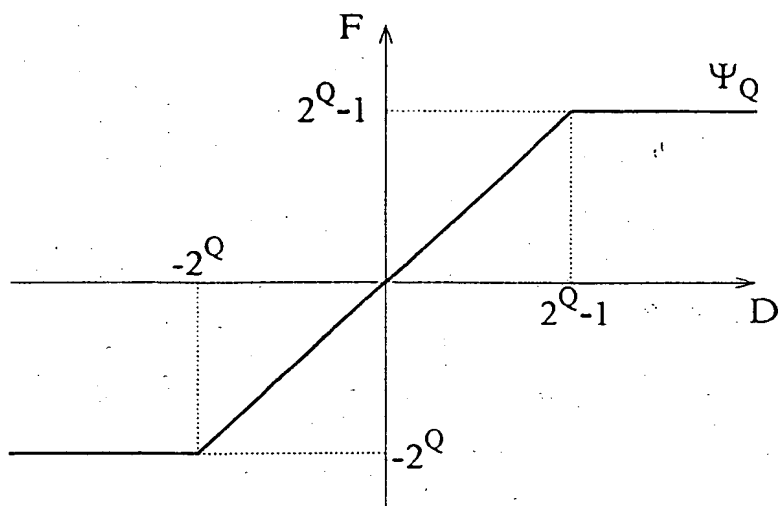
20

25

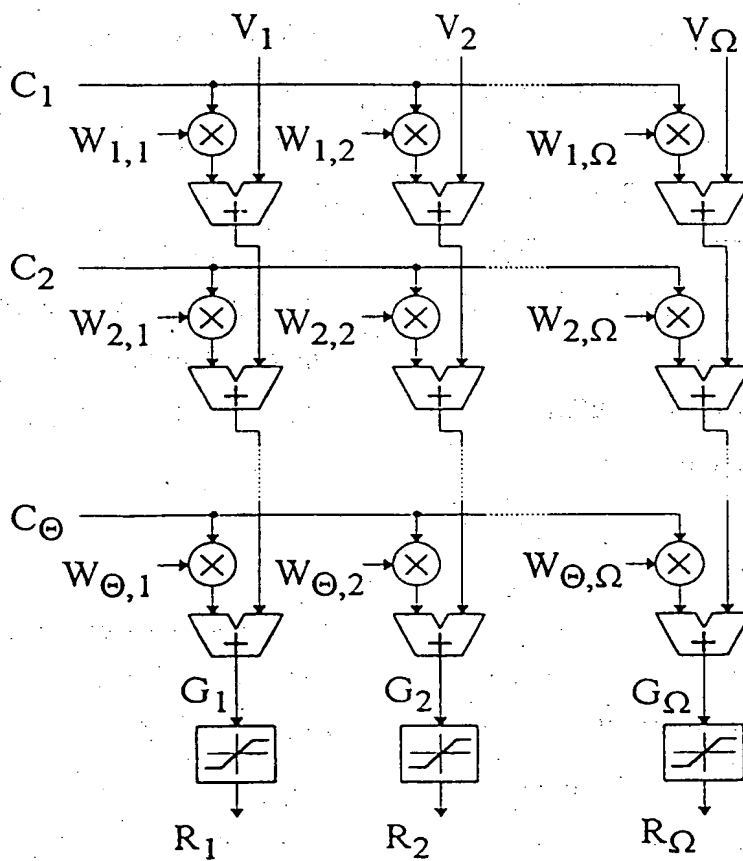
30



Фиг. 1

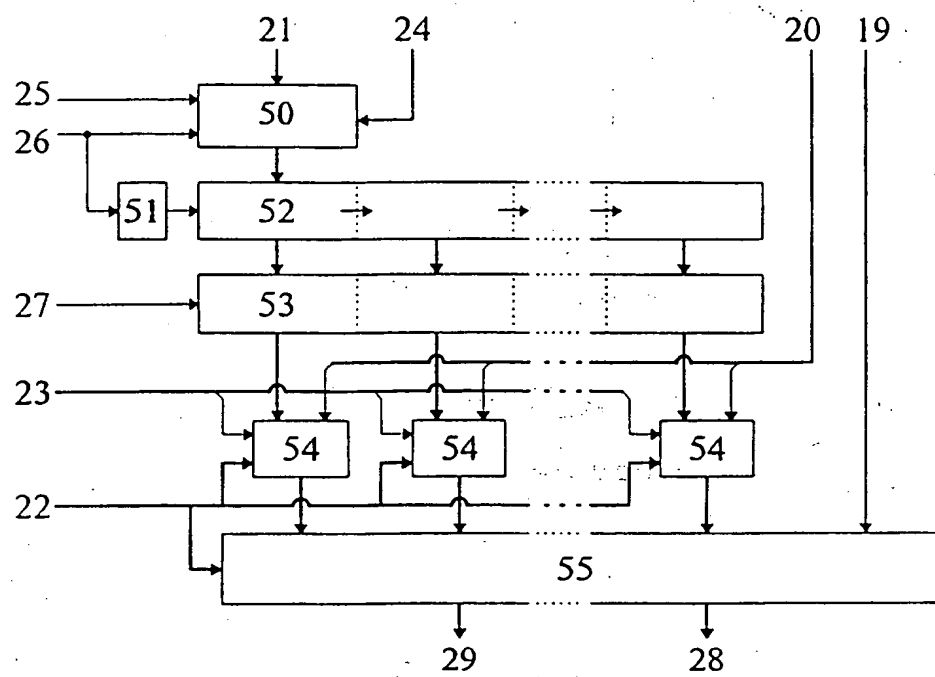


Фиг. 2

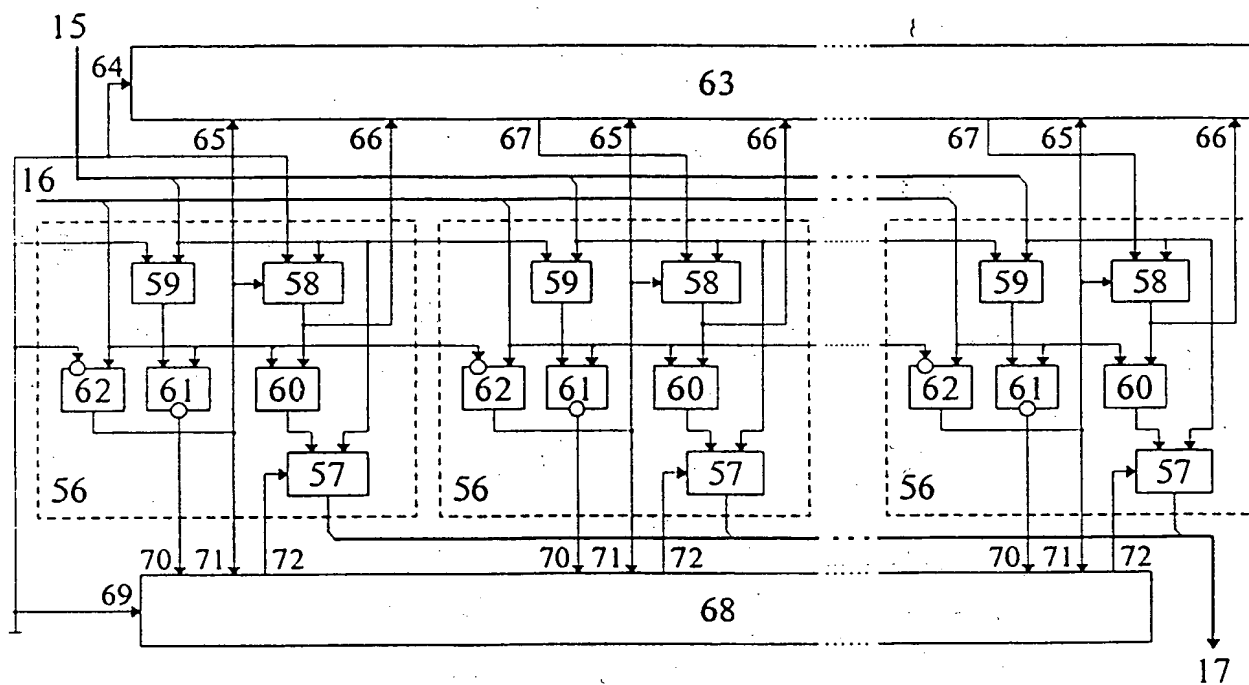


Фиг. 3

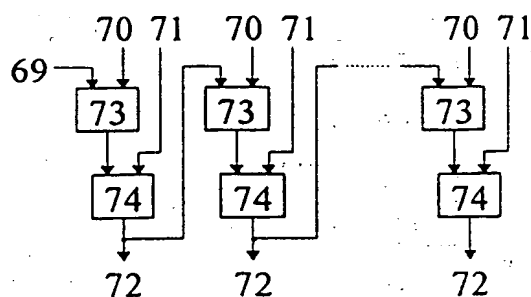




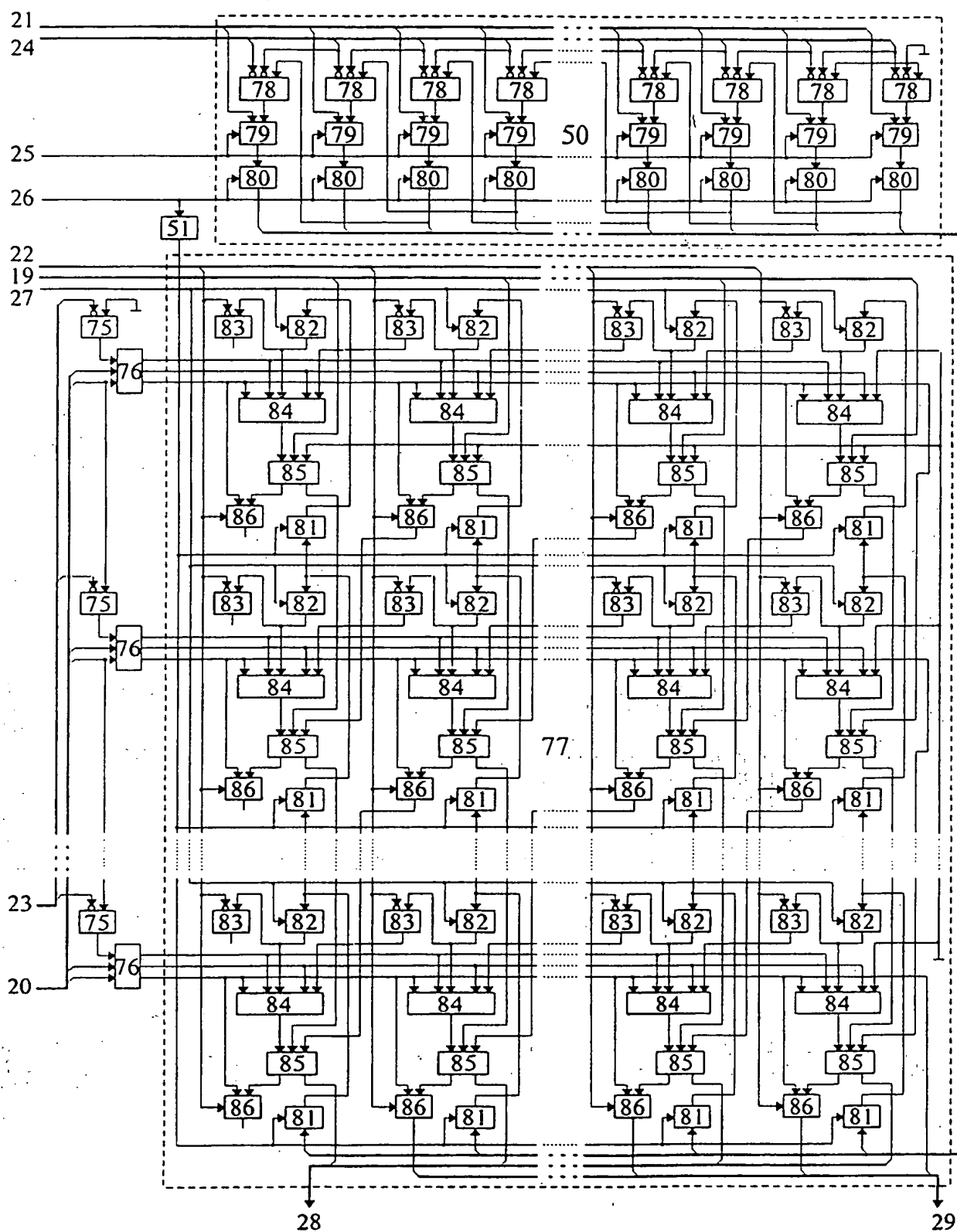
Фиг. 4



Фиг. 5



Фиг. 6



Фиг. 7



## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/RU 98/00449

## A. CLASSIFICATION OF SUBJECT MATTER

IPC 6 : G06F 15/18, 17/16, G05T 1/40, G06F 7/38, 7/50, 7/52, 7/544

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 : G06F 7/00, 7/38, 7/48, 7/50, 7/52, 7/544, 15/00, 15/18, 17/00, 17/10, 17/16 ; G05T 1/00, 1/20, 1/40 ; G06T 1/00, 1/20, 1/40 ; G06G 7/00, 7/48, 7/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5278945 A (AMERICAN NEUROLOGICAL, INC.), 11 January 1994 (11.01.94), the claims, figures 3,5,9.	1-3
A	RU 2074414 C1 (AKTSIONERNOE OBSHESTVO ZAKRYTOGO TIPA « NEIROMA-RD »), 27 February 1997 (27.02.97), the drawing, column 3.	1
A	WO 97/29437 A1 (SARNOFF CORPORATION), 14 August 1997 (14.08.97) Pages 3,4, figure 1.	1
A	Us 5644519 A (MOTOROLA, INC.), 01 July 1997 (01.07.97).	4
A	SU 690477 A (V.A.KRIVEGO et al.), 15 October 1979 (15.10.79), the description, figure 1.	4
A	A.A PAPERNOV, Logicheskie osnovy tsifrovor vychislitelnoi tekhniki, M.Sovetskoe radio, 1972, pages 156, 157, figure 12.	4-6
A	EP 0253475 A2 (INMOS LIMITED), 20 January 1988 (20.01.88), pages 3,4, Figure 1.	2,7



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
29 March 1999 (29.03.99)Date of mailing of the international search report  
07 April 1999 (07.04.99)

Name and mailing address of the ISA/

R.U

Authorized Officer  
Telephone No

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/RU 98/00449

C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	RU 2022339 C1 (VINNITSKY POLITEKHNICHESKY INSTITUT), 30 October 1994 (30.10.94), columns 3,4, claims 1,2, figures 1,2.	7
A	EP 0309348 A1 (ETAT FRANCAIS), 29 March 1989 (29.03.89), columns 5-8, 14-15, figures 1,8.	7-8
A	RU 2097826 C1 (KURSKY GOSUDARSTVENNY TEKHNICHESKY UNIVERSITET), 27 November 1997 (27.11.97), the description, figures 2,3.	8
A	EP 0318075 A2 (N.V.PHILIPS' GLOEILAMPENFABRIEKEN GROENE- WOUDSEWEG), 31 May 1989 (31.05.89), the abstract, column 4, figure 1.	8

# ОТЧЕТ О МЕЖДУНАРОДНОМ ПОИСКЕ

Международная заявка №  
PCT/RU 98/00449

<b>А. КЛАССИФИКАЦИЯ ПРЕДМЕТА ИЗОБРЕТЕНИЯ:</b> G06F 15/18, 17/16, G06T 1/40, G06F 7/38, 7/50, 7/52, 7/544 Согласно международной патентной классификации (МПК-6)		
<b>В. ОБЛАСТИ ПОИСКА:</b> Проверенный минимум документации (система классификации и индексы) МПК-6: G06F 7/00, 7/38, 7/48, 7/50, 7/52, 7/544, 15/00, 15/18, 17/00, 17/10, 17/16; G06T 1/00, 1/20, 1/40; G06T 1/00, 1/20, 1/40; G06G 7/00, 7/48, 7/60 Другая проверенная документация в той мере, в какой она включена в поисковые подборки: Электронная база данных, использовавшаяся при поиске (название базы и, если возможно, поисковые термины):		
<b>С. ДОКУМЕНТЫ, СЧИТАЮЩИЕСЯ РЕЛЕВАНТНЫМИ</b>		
Категория*	Ссылки на документы с указанием, где это возможно, релевантных частей	Относится к пункту №
A	US 5278945 A (AMERICAN NEUROLOGICAL, INC.) Jan. 11, 1994, формула, фиг. 3,5,9	1-3
A	RU 2074414 C1 (АКЦИОНЕРНОЕ ОБЩЕСТВО ЗАКРЫТОГО ТИПА "НЕЙРО-МА-РД") 27.02.97, чертеж, колонка 3	1
A	WO 97/29437 A1 (SARNOFF CORPORATION) 14 August 1997 (14.08.97), с. 3,4, фиг.1	1
A	US 5644519 A (MOTOROLA, INC.) Jul. 1, 1997	4
A	SU 690477 A (В. А. КРИВЕГО и др.) 15.10.79, описание, фиг.1	4
A	А.А. ПАПЕРНОВ, Логические основы цифровой вычислительной техники, М, Советское радио, 1972, с. 156, 157, рис. 12	4-6
<input checked="" type="checkbox"/> последующие документы указаны в продолжении графы С. <input type="checkbox"/> данные о патентах-аналогах указаны в приложении * Особые категории ссылочных документов: "А" документ, определяющий общий уровень техники "Е" более ранний документ, но опубликованный на дату международной подачи или после нее "О" документ, относящийся к устному раскрытию, экспонированию и т.д. "Р" документ, опубликованный до даты международной подачи, но после даты испрашиваемого приоритета "Т" более поздний документ, опубликованный после даты приоритета и приведенный для понимания изобретения "Х" документ, имеющий наиболее близкое отношение к предмету поиска, порочащий новизну и изобретательский уровень "У" документ, порочащий изобретательский уровень в сочетании с одним или несколькими документами той же категории "&" документ, являющийся патентом-аналогом		
Дата действительного завершения международного поиска 29 марта 1999 (29.03.99)		Дата отправки настоящего отчета о международном поиске 07 апреля 1999 (07.04.99)
Наименование и адрес Международного поискового органа: Федеральный институт промышленной собственности Россия, 121858, Москва, Бережковская наб., 30-1 Факс: 243-3337, телетайп: 114818 ПОДАЧА		Уполномоченное лицо: И.Загорбинина Телефон №: (095)240-2591

Форма PCT/ISA/210 (второй лист) (июль 1992)

# ОТЧЕТ О МЕЖДУНАРОДНОМ ПОИСКЕ

Международная заявка №  
PCT/RU 98/00449

## С. ДОКУМЕНТЫ, СЧИТАЮЩИЕСЯ РЕЛЕВАНТНЫМИ

Категория*	ки на документы с указанием, где это возможно, релевантных частей	Относится к пункту №
A	EP 0253475 A2 (INMOS LIMITED) 20.01.88, с. 3,4, фиг.1	2,7
A	RU 2022339 C1 (ВИННИЦКИЙ ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ) 30.10.94, колонки 3,4, формула п.п. 1,2, фиг. 1,2	7
A	EP 0309348 A1 (ETAT FRANCAIS) 29.03.89, колонки 5-8, 14-15, фиг. 1,8	7-8
A	RU 2097826 C1 (КУРСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ) 27.11.97, описание, фиг. 2,3	8
A	EP 0318075 A2 (N.V. PHILIPS' GLOEILAMPENFABRIEKEN GROENEWOUDSEWEG) 31.05.89, реферат, колонка 4, фиг. 1	8

Форма PCT/ISA/210 (продолжение второго листа) (июль 1992)